

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

特 許 協 力 条 約

発信人 日本国特許庁（国際予備審査機関）

出願人代理人

佐野 静夫 殿
あて名
〒 540-0032
大阪府大阪市中央区天満橋京町2-6
天満橋八千代ビル別館

PCT

国際予備審査報告の送付の通知書

（法施行規則第57条）
〔PCT規則71.1〕

発送日
（日.月.年） 18.09.01

出願人又は代理人
の書類記号 PCT-00Z-27

重要な通知

国際出願番号
PCT/JPO0/06333

国際出願日
（日.月.年） 14.09.00

優先日
（日.月.年） 20.09.99

出願人（氏名又は名称）
三洋電機株式会社

1. 国際予備審査機関は、この国際出願に関して国際予備審査報告及び付属書類が作成されている場合には、それらをこの送付書とともに送付することを、出願人に通知する。
2. 国際予備審査報告及び付属書類が作成されている場合には、すべての選択官庁に通知するために、それらの写しを国際事務局に送付する。
3. 選択官庁から要求があったときは、国際事務局は国際予備審査報告（付属書類を除く）の英語の翻訳文を作成し、それをその選択官庁に送付する。
4. 注 意

出願人は、各選択官庁に対し優先日から30月以内に（官庁によってはもっと遅く）所定の手続（翻訳文の提出及び国内手数料の支払い）をしなければならない（PCT39条（1））（様式PCT/IB/301とともに国際事務局から送付された注を参照）。

国際出願の翻訳文が選択官庁に提出された場合には、その翻訳文は、国際予備審査報告の付属書類の翻訳文を含まなければならない。

この翻訳文を作成し、関係する選択官庁に直接送付するのは出願人の責任である。

選択官庁が適用する期間及び要件の詳細については、PCT出願人の手引き第II巻を参照すること。

名称及びあて名
日本国特許庁（IPEA/JP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

権限のある職員
特 許 庁 長 官

2 P 8906

電話番号 03-3581-1101 内線 3261

注 意

1. 文献の写しの請求について

国際予備審査報告に記載された文献であって国際調査報告に記載されていない文献の複写

特許庁にこれらの引用文献の写しを請求することもできますが、独立行政法人工業所有権総合情報館（特許庁庁舎2階）で公報類の閲覧・複写および公報以外の文献複写等の取り扱いをしています。

〔担当及び照会先〕

〒100-0013 東京都千代田区霞が関3丁目4番3号（特許庁庁舎2階）

独立行政法人工業所有権総合情報館

【公報類】 閲覧部 TEL 03-3581-1101 内線3811~2

【公報以外】 資料部 TEL 03-3581-1101 内線3831~3

また、（財）日本特許情報機構でも取り扱いをしています。

これらの引用文献の複写を請求する場合は下記の点に注意してください。

〔申込方法〕

（1）特許（実用新案・意匠）公報については、下記の点を明記してください。

○特許・実用新案及び意匠の種類

○出願公告又は出願公開の年次及び番号（又は特許番号、登録番号）

○必要部数

（2）公報以外の文献の場合は、下記の点に注意してください。

○国際予備審査報告の写しを添付してください（返却します）。

〔申込み及び照会先〕

〒135-0016 東京都江東区東陽4-1-7 佐藤ビル

財団法人 日本特許情報機構 情報処理部業務課

TEL 03-3508-2313

注) 特許庁に対して文献の写しの請求をすることができる期間は、国際出願日から7年です。

2. 各選択官庁に対し、国際出願の写し（既に国際事務局から送達されている場合は除く）及びその所定の翻訳文を提出し、国内手数料を支払うことが必要となります。その期限については各国ごとに異なりますので注意してください。（条約第22条、第39条及び第64条(2)(a)(i)参照）

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 PCT-00Z-27	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO0/06333	国際出願日 (日.月.年) 14.09.00	優先日 (日.月.年) 20.09.99
国際特許分類(IPC) Int cl ⁷ B41J2/447		
出願人(氏名又は名称) 三洋電機株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で _____ ページである。
3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 04.10.00	国際予備審査報告を作成した日 01.09.01		
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 畑井 順一	2P	8906
	電話番号 03-3581-1101 内線 3261		

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-40	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-40	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-40	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

JP 61-228973 A (アルプス電気株式会社)
13.10月.1986(13.10.86), 全文、全図 (ファミリーなし)

JP 6-91933 A (東京電気株式会社)
5.4.1994(05.04.94), 全文、全図, (ファミリーなし)

本願請求項1第1~3行目「 $n \times p$ 個の発光部~選択される」に記載された発光部の構成に関する先行技術は発見できなかった。

本願請求項10第3~4行目「前記駆動用IC装置~共通接続する第1配線」の構成に関する先行技術文献は発見できなかった。

本願請求項17.25.29.37に記載された「 r 個の入力端子~ $n \times m$ 個のデータ信号~ n 個単位に選択して取り出すデータ選択回路」の構成に関する先行技術文献は発見できなかった。

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願

願 書

出願人は、この国際出願が特許協力条約に従って処理されることを請求する。

受理官庁記入欄	
国際出願番号	10/088266
国際出願日	
(受付印)	
出願人又は代理人の書類記号 (希望する場合は最大12字)	PCT-00Z-27

第 I 欄 発明の名称

駆動用 IC 及び光プリントヘッド

第 II 欄 出願人

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

三洋電機株式会社

Sanyo Electric CO., LTD.
〒570-0083 日本国大阪府守口市京阪本通 2 丁目 5 番 5 号
5-5, Keihanhondori 2-chome, Moriguchi-shi,
Osaka 570-0083 JAPAN

☐ この欄に記載した者は、
発明者でもある。

電話番号:
06-6994-3644

ファクシミリ番号:
06-6994-3406

加入電話番号:

国籍 (国名): 日本国 JAPAN

住所 (国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☒ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

第 III 欄 その他の出願人又は発明者

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

鳥取三洋電機株式会社

Tottori Sanyo Electric Co., Ltd.
〒680-8634 日本国鳥取県鳥取市南吉方 3 丁目 201 番地
201, Minamiyoshikata 3-chome, Tottori-shi,
Tottori 680-8634 JAPAN

この欄に記載した者は
次に該当する:

☒ 出願人である。

☐ 出願人及び発明者である。

☐ 発明者である。
(ここにレ印を付したとき
は、以下に記入しないこと)

国籍 (国名): 日本国 JAPAN

住所 (国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☒ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

☒ その他の出願人又は発明者が続葉に記載されている。

第 IV 欄 代理人又は共通の代表者、通知のあて名

次に記載された者は、国際機関において出願人のために行動する:

☒ 代理人

☐ 共通の代表者

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

8550 弁理士 佐野 静夫 SANO Shizuo
〒540-0032 日本国大阪府大阪市中央区天満橋京町 2 - 6

天満橋八千代ビル別館

Tenmabashi-Yachiyo Bldg. Bekkan, 2-6, Tenmabashi-Kyomachi,

Chuo-Ku, Osaka-Shi, Osaka 540-0032 JAPAN

電話番号:
06-6942-7055

ファクシミリ番号:
06-6942-7092

加入電話番号:

☐ 代理人又は共通の代表者が選任されていないときに、通知が送付されるあて名を記載する場合はレ印を付す

第Ⅲ欄の続き その他 出願人又は発明者

この続葉を使用しないときは、この用紙を願書に添付する必要はない。

氏名(名称)及びあて名：(姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載)

尾 前 充 弘 OMAE Mitsuhiro

〒680-8634 日本国鳥取県鳥取市南吉方3丁目201番地
鳥取三洋電機株式会社内
c/o Tottori Sanyo Electric Co., Ltd.,
201, Minamiyoshikata 3-chome, Tottori-shi,
Tottori 680-8634 JAPAN

この欄に記載した者は、次に該当する：

☐ 出願人である。

☒ 出願人及び発明者である。

☐ 発明者である。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名)： 日本国 JAPAN

住所(国名)： 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である：

☐ すべての指定国

☐ 米国を除くすべての指定国

☒ 米国のみ

☐ 追記欄に記載した指定国

氏名(名称)及びあて名：(姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する：

☐ 出願人である。

☐ 出願人及び発明者である。

☐ 発明者である。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名)：

住所(国名)：

この欄に記載した者は、次の
指定国についての出願人である：

☐ すべての指定国

☐ 米国を除くすべての指定国

☐ 米国のみ

☐ 追記欄に記載した指定国

氏名(名称)及びあて名：(姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する：

☐ 出願人である。

☐ 出願人及び発明者である。

☐ 発明者である。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名)：

住所(国名)：

この欄に記載した者は、次の
指定国についての出願人である：

☐ すべての指定国

☐ 米国を除くすべての指定国

☐ 米国のみ

☐ 追記欄に記載した指定国

氏名(名称)及びあて名：(姓・名の順に記載；法人は公式の完全な名称を記載；あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する：

☐ 出願人である。

☐ 出願人及び発明者である。

☐ 発明者である。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名)：

住所(国名)：

この欄に記載した者は、次の
指定国についての出願人である：

☐ すべての指定国

☐ 米国を除くすべての指定国

☐ 米国のみ

☐ 追記欄に記載した指定国

☐ その他の出願人又は発明者が続葉に記載されている。

第VI欄 優先権主張

他の優先権の主張が追記欄に記載され

下記の先の出願に基づく優先権を主張する

国名 (その国において又はその国について出願がされた)	先の出願の日 (日. 月. 年)	先の出願の番号	先の出願がされた官庁名 (広域出願又は国際出願のみ)
(1) 日本国 JAPAN	20. 09. 99	平成 11 年特許願 第 265904 号	
(2) 日本国 JAPAN	15. 10. 99	平成 11 年特許願 第 294069 号	
(3)			

先の出願が、本件国際出願について受理官庁である国内官庁に対して行われたときは、出願人は、手数料の納付を条件に以下を請求する。

☐ 上記の先の出願のうち次の番号の出願書類の認証謄本を作成し国際事務局へ送付することを特許庁長官に請求している。

第VII欄 国際調査機関

国際調査機関 (ISA) の選択

ISA / JP

先の出願 国際調査機関による調査 (国際・国際型又はその他) を既に請求しており、可能な限り当該調査の結果を国際調査の基礎とすることを請求する場合に記入する。関連する出願 (若しくはその翻訳) 又は関連する調査請求を表示することにより当該調査又は請求を特定する：

国名 (又は広域官庁)

出願日 (日. 月. 年)

番号

第VIII欄 照合欄

この国際出願の用紙の枚数は次のとおりである。

1. 願書	4 枚
2. 明細書	27 枚
3. 請求の範囲	8 枚
4. 要約書	1 枚
5. 図面	21 枚
合計	61 枚

出願時におけるこの国際出願には、以下にチェックした書類が添付されている。

- | | |
|--|---|
| 1. <input type="checkbox"/> 別個の記名押印された委任状 | 5. <input checked="" type="checkbox"/> 所定の手数料の納付 |
| 2. <input type="checkbox"/> 包括委任状の写し | <input checked="" type="checkbox"/> 納付する手数料に相当する特許印紙を貼付した書面 |
| 3. <input type="checkbox"/> 記名押印 (署名) の説明書 | <input checked="" type="checkbox"/> 国際事務局の口座への振込みを証明する書面 |
| 4. <input type="checkbox"/> 上記第VI欄に記載された優先権書類 (具体的に記載する) : | 6. <input type="checkbox"/> 寄託した微生物に関する書面 |
| | 7. <input type="checkbox"/> ヌクレオチド及び/又はアミノ酸配列リスト (フレキシブルディスク) |
| | 8. <input type="checkbox"/> その他 (具体的に記載する) |

要約書とともに公表する図として 第 1 図 を提示する (図面がある場合)

第IX欄 提出者の記名押印

各人の氏名を記載し、その次に押印する。願書により資格が明白に表示されていない場合はその者が押印している資格を表示する。

佐 野 静 夫



受理官庁記入欄

1. 国際出願として提出された書類の実際の受理の日	2. 図面 <input type="checkbox"/> 受理された <input type="checkbox"/> 不足図面がある
3. 国際出願として提出された書類を補完する書類又は図面であって その後期間内に提出されたものの実際の受理の日 (訂正日)	
4. 特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
5. 出願人により特定された 国際調査機関 ISA /	
6. <input type="checkbox"/> 調査手数料未払いにつき、国際調査機関に 調査用写しを送付していない	

国際事務局記入欄

記録原本の受理の日

明細書

駆動用 I C 及び光プリントヘッド

技術分野

本発明は、プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるように構成された発光素子を駆動するための新規な駆動用 I C とそれを用いた光プリントヘッドに関する。

背景技術

従来の光プリントヘッドにおいて用いられる発光素子（アレイ）は、実公平 6-48887 号公報に示すように、複数の発光部に 1 対 1 で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているので、1 つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用 I C との接続が困難になるという問題があった。

このような問題を解決するために、特開平 6-163980 号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を 2 ～ 3 の群 p に分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属する p 個の発光部に接続した個別電極を n 個設けることによって $p \times n$ 個の発光部を備える発光素子が提案されている。この発光素子によれば、 p 本の共通電極を時分割的に選択することによって個別電極の数を従来の $1/p$ に削減することができるので、駆動用 I C との接続を容易にすることができる。

このような発光素子を従来と同様の駆動用 I C を用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用 I C の開発が望まれている。

そこで本出願人は、上記の点を考慮した駆動用 I C について、特開平 10-2

226102号公報にて提案しているが、この公報に示された構成では、時分割駆動のためにデータの入力順序を変更する処理を必要とするので、データ処理が複雑化するという問題があった。また、発光素子と同数の駆動用ICを必要とするので、駆動用ICの数が多く、高価であるという問題も有している。また、この駆動用ICは、解像度が異なる発光素子にも適用しようとする際、データ処理が複雑化するという問題があった。

発明の開示

本発明は、時分割駆動に対応した発光素子を駆動するに適した汎用性の駆動用ICを提供することを目的とする。また、本発明は、解像度が異なる複数種類の発光素子に対応可能な駆動用ICを提供することを目的とする。また、本発明は、データの入力を高速に行うことができる駆動用ICを提供することを目的とする。

本発明では、光プリントヘッドが、 $n \times p$ 個の発光部と、前記発光部の一方の端子と p 個毎に接続された n 個の第1電極と、前記発光部の他方の端子と n 個毎に接続された p 個の第2電極と、を備えるとともに、前記第1及び第2電極が選択されることによって前記発光部が選択される発光素子と、前記発光素子の第1電極に接続される n 個の第1出力端子と、前記発光素子の第2電極に接続される m 個の第2出力端子と、を備える駆動用IC装置と、を有し、前記発光素子が、1つの前記駆動用IC装置に対して、 q 個設けられるとともに、この前記発光素子が設けられる個数 q が、前記発光素子の第2電極の個数 p と前記駆動用IC装置の第2出力端子の個数 m によって定められるようにしている。

また、本発明では、一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第1出力端子のそれぞれに m 個の発光部の一方の端子が接続されるとともに、前記第1出力端子に接続された第1駆動部を有する駆動用IC装置において、前記第1駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第1出力端子に駆動信号を出力する駆動回路と、を備えるようにしている。

また、本発明では、複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用 IC 装置と、を備えた光プリントヘッドにおいて、前記発光素子が、 n 個の第 1 電極のそれぞれに複数の発光部の一方の端子が接続され、そして、前記駆動用 IC 装置が、前記発光素子の第 1 電極にそれぞれ接続される n 個の第 1 出力端子と、第 1 出力端子から前記駆動電流を出力する第 1 駆動部と、を備えるとともに、前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備えるようにしている。

図面の簡単な説明

第 1 図は本発明の第 1 及び第 2 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 2 図は第 1 及び第 2 の実施形態の要部を示す回路ブロック図であり、

第 3 図は第 1 及び第 2 の実施形態のタイミングチャートであり、

第 4 図は第 1 の実施形態に係る光プリントヘッドの要部平面図であり、

第 5 図は同実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 6 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 7 図は第 1 及び第 2 の実施形態に係る光プリントヘッドの回路ブロック図であり、

第 8 図は第 2 の実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 9 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 10 図は第 3 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 11 図は同実施形態の駆動用 IC の要部を示す回路ブロック図であり、

第 12 図は同実施形態の要部（分割タイミング信号発生回路）を示す回路図であり、

第 13 図は同実施形態のタイミングチャートであり、

第 14 図は同実施形態に係る光プリントヘッドの要部平面図であり、

第 15 図は同実施形態に係る光プリントヘッドの回路ブロック図であり、

第 16 図は同実施形態の特徴部を概略的に示す概略構成図であり、

第 17 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 18 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 19 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 20 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 21 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 22 図は第 17 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 23 図は第 19 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 24 図は第 20 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 25 図は第 21 図の光プリントヘッドの動作を示すタイミングチャートである。

第 26 図は第 4 の実施形態の駆動用 IC の要部を示す回路ブロック図であり、

第 27 図は同実施形態のタイミングチャートである。

第 28 図は同実施形態の要部（分割タイミング信号発生回路）を示す回路図である。

発明を実施するための最良の形態

以下本発明の実施形態を図面を参照して説明する。

< 第 1 の実施形態 >

第 1 図は、第 1 及び第 2 の実施形態の駆動用 IC の基本的な構成を示す回路ブ

ロック図である。第2図は、第1図に示す回路ブロック図のうち、複数ある出力端子DO1～DO48の1つの出力端子DO1に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

駆動用IC1は、第1図に示すように、素子駆動用（後述する個別電極28用）の複数個（ n ）の出力端子DO1～DO48で構成された個別端子部DOと、各出力端子DO1～DO48と接続され、これらに対して駆動信号としての所定の電流出力を与える第1駆動部2と、群選択用（後述する共通電極27用）の複数（ m ）個の出力端子CD1～CD40で構成された共通端子部CDと、各出力端子CD1～CD40と接続され、これらを選択的に一方の電源電位、例えば接地電位VSSに切り替える第2駆動部3を備えている。以下、図示のごとく、 $n = 48$ 、 $m = 40$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。

第1駆動部2は、データ入力端子SIから順次与えられるシリアル入力データ信号を一時的に記憶するデータ信号記憶回路4と、このデータ信号記憶回路4から出力されたデータ信号に基づき上記各出力端子DO1～DO48に駆動信号を出力する駆動回路5と、この駆動回路5に定電流を供給する電流供給回路6と、この第1駆動部2並びに第2駆動部3の各部に所定のタイミング信号を供給するタイミング制御回路7とを備えている。

データ信号記憶回路4は、データ入力端子SIからシリアル入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SOからシリアル出力する $n \times m$ （1920）ビット構成のシフトレジスタ8と、このシフトレジスタ8に取り込まれたデータ信号を、ロード信号LOAD1に基づいて並列に取り込む $n \times m$ （1920）ビット構成のラッチ回路9とを備えている。シフトレジスタ8から並列に出力される $n \times m$ （1920）個のデータ信号はラッチ回路9を介さないで記憶回路10に供給することもできるようにしている。

尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ8やラッチ回路9等の構成を変更することもでき、例えば、シフトレジスタ8をアドレス指定方式のメモリで構成しても良い。

駆動回路5は、ラッチ回路9が出力する $n \times m$ （1920）個のデータ信号か

ら、 n 個単位にデータ信号を順次選択して出力する第 1 の選択回路 11 A と、この第 1 の選択回路 11 A の出力に基づいて前記出力端子 DO 1 ~ DO 48 を介して一定の電流を出力する n (48) ビット構成の第 1 のドライブ回路 12 A を基本的な構成として備えている。駆動回路 5 は、この基本構成に加えて、必要に応じて、出力電流（光量）の補正に対応するための補正データを $n \times m$ (1920) 個記憶するための補正データ記憶回路 10 と、この補正データ記憶回路 10 から出力される $n \times m$ (1920) 個の補正データ信号から、 n 個単位に補正データ信号を順次選択して出力する補正データ用の第 2 の選択回路 11 B と、この補正データ用の選択回路 11 B の出力に基づいて増加減した電流値の出力を前記出力端子 DO 1 ~ DO 48 を介して駆動信号として出力する n (48) ビット構成の補正用の第 2 のドライブ回路 12 B を備える。

記憶回路 10 は、複数 (S) ビット（例えば 3 ビット構成）で構成される補正データを $n \times m$ (1920) 個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路 10 に対する補正データの書き込みは、シフトレジスタ 8 から並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

補正データ記憶回路 10 の書き込みは、前もって行うことができる。すなわち、記憶回路 10 のみを書き込み状態としてシフトレジスタ 8 を介して補正データの各ビットを記憶する作業を S 回 (3 回) 繰り返すことによって行うことができる。

ドライブ回路 12 は、第 2 図に示すように、1 つの出力端子 DO 1 に対してそれぞれ電流出力が異なる複数（この例では 4 つ）の電流増幅器 12 a ~ 12 d を 1 組として、それを個別端子部 DO の出力端子と同数（この例では 48）備えて構成されている。電流供給回路 6 から電流が供給される 4 つの電流増幅器 12 a ~ 12 d は、個々にその作業状態を制御することによって、合計出力電流を 4 mA をベースとして 3 ~ 5 mA 程度の範囲で変更できるようにしている。

選択回路 11 は、時分割駆動を行うために前記ラッチ回路 9 や補正データ記憶回路 10 に記憶された $n \times m$ 個分のデータや補正データを、 n 個単位に選択して m 回取り出すための回路で、複数の論理ゲート回路によって構成されている。この選択回路 11 は、タイミング制御回路 7 の一部を構成する分割タイミング信号

発生回路 14 によってゲートの開閉が制御される。

この分割タイミング信号発生回路 14 は、第 3 図に波形を示すように、時分割のタイミングを規定するように外部から少数（この例では 1 本）の信号線を介して供給される制御信号 $DIVSEL$ に基づいて、 m 種類の分割タイミング信号 $DIV1 \sim DIV40$ を生成するための回路で、例えばカウンタによって構成することができる。分割タイミング信号発生回路 14 は、カウンタ以外にも、所定ビットの 2 進数から成る制御信号 $DIVSEL$ に基づいて m 種類の分割タイミング信号 $DIV1 \sim DIV40$ を生成するデコーダ等によって構成することもできる。このように、分割タイミング発生回路 14 は 1 つあるいは少数の制御信号 $DIVSEL$ に基づいて m （40 種類）の分割タイミング信号（ $DIV1 \sim DIV40$ ）を生成する。すなわち、分割タイミング信号の数よりも少数の信号線を用いて制御信号 $DIVSEL$ を供給するので、外部と接続する制御信号の端子の数を削減して IC の小型化を図ることができるとともに、ワイヤボンダ配線などの外部配線数を削減することができる。

尚、分割タイミング信号発生回路 14 は、1 ライン分のデータ信号の入力に同期してリセットすることができ、リセット信号 $RESET$ を利用してのリセットの他にも、前記ロード信号 $LOAD1$ を利用してリセットを行うことができる。

次に、第 2 図を参照して 1 つの出力端子 $DO1$ を中心にデータの流れについて説明する。ラッチ回路 9 に記憶された 1 つの IC 分のデータ（1920 個のオン／オフデータ）は、分割タイミング信号 $DIV1 \sim DIV40$ が順次 H レベルに切り替わることによって、その分割タイミング信号 $DIV1 \sim DIV40$ とラッチ回路 9 に接続された第 1 の選択回路 11A における 40 個のアンドゲート回路が順次 1 つずつ開き、その開いたアンドゲート回路を通して選択的に出力される。また、補正データ記憶回路 10 に記憶された 3 ビット構成の補正データも同様に、分割タイミング信号 $DIV1 \sim DIV40$ が順次 H レベルに切り替わることによって第 2 の選択回路 11B における 3 個 1 組のアンドゲート回路（この例では 40 組で構成される）が開く結果、その開いている 1 組のアンドゲート回路を通して選択的に出力される。補正データ記憶回路 10 の出力は、ドライブ回路 12 に供給され、ラッチ回路 9 から第 1 の選択回路 11A を通して与えられたデータと

協働して3つの電流増幅器12b~12dを選択的に動作させる。

次に、第2駆動部3について説明する。第2駆動部3は、出力端子CD1~CD40の1つを選択的に接地電位VSSに切り替えるための回路で、前記分割タイミング信号DIV1~DIV40によって切り替える構成としているが、前記分割タイミング信号DIV1~DIV40に同期した他の信号を用いて切り替える構成とすることもできる。

駆動用IC1は、第5図に示すように、端子DO1~DO48を一辺に配列し、端子CD1~CD40を対向する2辺に半分ずつに区分けして配列し、データ用、クロック用、電源用等の残りの端子を残りの辺に配置することにより、類似の機能を持つ端子同士を1つの辺に集めている。端子DO1~DO48は、150DPI(DOT/INCH)前後の密度で配置している。この配置密度は、後述する基板21に形成する微細配線パターンの限界密度に基づいて設定されている。すなわち、基板21に形成する第1、第2の配線23-1、23-2の配線パターン密度が150DPI程度に設定されているので、この値とほぼ同じ密度に設定している。

第4図は、上記の駆動用IC1を備えて構成した光プリントヘッド20を示す概略的な要部平面図である。この光プリントヘッド20は、絶縁性基板21の上に複数(この例ではL=20個)の発光素子22を一行に配列し、この発光素子22の片側に、発光素子22の数よりも少数の駆動用IC1を一行に配列している。駆動用IC1は、所定数q(この例では5個)の発光素子22に1つの割合で配置し、これら駆動用IC1とそれに対応したq個の発光素子22が1つのブロック(b)をつくる。そして、このブロックが基板21の長手方向に沿って複数(この例ではb=4)ブロック配列されて光プリントヘッド20を構成する。

発光素子22と駆動用IC1間には、両者を接続するための配線23が施される。配線23は、駆動用IC1の出力端子DO1~DO48に一端を接続し、他端を同一ブロック内の各発光素子22の個別電極に共通接続するマルチプレクス用の第1の配線23-1と、駆動用IC1の群選択用の出力端子CD1~CD40に一端を接続し、他端を同一ブロック内の各発光素子22の共通電極に選択的に接続する第2の配線23-2によって構成している。第1の配線23-1は、

基板 2 1 に多層配線したマルチプレクス用の配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 2 の配線 2 3 - 2 も、基板 2 1 に多層配線した配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 1 の配線 2 3 - 1 及び第 2 の配線 2 3 - 2 の配線パターンの発光素子 2 2 の配列長と同じ程度の長さを持つ配線は、発光素子 2 2 の列の両側に区分けして別々に配置している。このようにすることにより、後述する複数個の発光素子 2 2 とのワイヤボンド配線を行い易くすることができる。

発光素子 2 2 の列の両側に区分けして別々に基板 2 1 に配置した配線 2 3 のパターンは、第 1 の配線 2 3 - 1 よりも第 2 の配線 2 3 - 2 の方が配線数は少ないが、1 本当たりのパターン幅とその間隔が第 2 の配線 2 3 - 2 の方が広いので、第 2 の配線 2 3 - 2 側のパターンの総幅が第 1 の配線 2 3 - 1 側よりも広がっている。このように、駆動用 I C 1 と発光素子 2 2 間を接続するとともに、発光素子 2 2 の両側に区分けして配置された配線 2 3 - 1, 2 3 - 2 のパターンについて、総幅の広い方を一方の側に、狭い方を駆動用 I C 1 と共に他方に配置しているので、発光素子 2 2 を基板 2 1 の幅方向の中央寄りに配置することができる。発光素子 2 2 の列を基板 2 1 の幅方向の中央寄りに配置することにより、発光素子 2 2 の配列直線性（特に、基板 2 1 に硝子エポキシ製のものを用いた場合）を高めることができるなど、光学的特性を向上させることができる。

基板 2 1 は、硝子エポキシ製の基板の他に、セラミック製、絶縁金属製の基板等を用いることができるが、この例では、多層配線化、長尺化が容易で、しかも低価格な硝子エポキシ製の基板を用いている。硝子エポキシ製、セラミック製、金属製の何れの基板を用いても、現状では同一面上に 1 5 0 D P I 程度の微細配線を形成するのが限界である。尚、配線 2 3 としては、基板 2 1 の多層配線と金線等のワイヤボンド線との組み合わせの他に、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造等を用いることもできる。

基板 2 1 の上には、前記配線 2 3 とは別に、信号用、電力供給用の複数本の配線パターン 2 4 を発光素子 2 2 の配列方向に沿って延びるように形成している。この配線の中には、隣接する駆動用 I C 1 の端子間でデータ信号等の授受を行う

ためのカスケード接続用配線を備えている。また、駆動用 I C 1 と配線パターン 2 4 の間には、金線で構成したワイヤボンダ配線 2 5 を設けている。

発光素子 2 2 は、その上面に複数 ($p \times n = 384$) 個の発光部 2 6 を、その長手方向に沿って 1200 DPI 程度の配列密度で配列している。そして、この複数の発光部 2 6 は、時分割駆動できるようにそれぞれが独立して形成されており、 n 個の発光部 2 6 からなる群を単位に駆動できるように、複数 (p) の群に区分けしている。この例では、発光部 2 6 の 1, 9, 17 番目を第 1 の群、2, 10, 18 番目を第 2 の群というように、発光部 2 6 の配置順序を示す番号を分割数 p (8) で割った場合の余りの数に基づいて 8 つの群に区分けした場合を例示している。

そして、発光素子 2 2 は、第 6 図に示すように、第 1 の群に属する発光部 2 6 に共通配線した共通電極 2 7 - 1 と、第 2 の群に属する発光部 2 6 に共通配線した共通電極 2 7 - 2、…、並びに共通電極 2 7 - 8 の 8 個の共通電極 2 7 を設けるとともに、隣接する 8 つの発光部 2 6 に接続した n (48) 個の個別電極 2 8 を設けている。共通電極 2 7 は、基板 2 1 の最高配線密度 (150 DPI) よりも低密度である 25 DPI 程度の密度で配列しているが、個別電極 2 8 は、基板 2 1 の最高配線密度 (150 DPI) と同じ程度の配置密度を保つように、150 DPI 程度の密度で配列している。共通電極 2 7 と個別電極 2 8 は、発光素子 2 2 の表面に形成する多層配線の層数を削減するために、発光部 2 6 の両側に区分けし、発光素子 2 2 の長手方向に沿って配列している。

この発光素子 2 2 は、 p (8) 個の共通電極 2 7 と n (48) 個の個別電極 2 8 に各々接続したマトリクス状配線の交点部分に LED から成る発光部 2 6 が位置する構造となっている。よって、 n 個の個別電極 2 8 にデータ信号を与え、共通電極 2 7 の 1 つを選択することにより、 n 個の発光部 2 6 を同時に駆動することができ、これを p 回繰り返すことにより、1 つの発光素子 2 2 の駆動を行うことができる。

個別電極 2 8 は、第 1 配線 2 3 - 1 を介して、それぞれ駆動用 I C 1 の出力端子 DO 1 ~ DO 48 に接続され、共通電極 2 7 は、第 2 配線 2 3 - 2 を介して、出力端子 CD 1 ~ CD 40 の内、8 個の端子に選択的に接続される。

第7図に示すように、1つのブロックを構成する1つの駆動用IC1と、それに対応するq個（この例では5個）の発光素子22は、駆動用IC1の出力端子DO1～DO48がq個の発光素子22の個別電極28に共通に接続されるように第1配線23-1を介して接続されている。駆動用IC1の出力端子CD1～CD40は、q（5）個の発光素子22の各共通電極27に第2の配線23-2を介して個別に接続されている。

そして、駆動用IC1の群選択用端子CD1～CD40の1つを選択し、端子DO1～DO48に所定の信号を与えれば、q個の発光素子22の1つが選択され、その素子の発光部26を8分の1ずつ時分割で発光させることができる。したがって、これらを40回繰り返して全ての群選択用端子を選択することにより、1つのブロックの全ての発光部26を選択的に発光させることができる。

尚、1つのブロック内の発光素子22はq個（5個）で、これが4ブロックあるので、ヘッド20全体の発光部26の数は、 $b \times q \times p \times n = 4 \times 5 \times 8 \times 48 = 7680$ 個となる。

次に、第1の実施形態の駆動用IC1の動作を含めた上記光プリントヘッド20の動作について、第1図、第2図に加えて、第3図に示すタイミングチャートを参照して説明する。

尚、記憶回路10に記憶すべき補正データは、発光素子22の各発光部26の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、既に記憶回路10に記憶されているものとする。

まず始めにリセット信号RESETが供給され、これによって各部が初期状態に設定される。続いて、設定信号SETがLレベルからHレベルに切り替えられる。その結果、記憶回路10への書き込みが禁止された状態となる。

端に位置する駆動用IC1のデータ入力端子SIに1ライン分のデータ信号（7680個）が順次与えられ、これがクロック信号CLK1に同期して順次駆動用IC1のシフトレジスタ8に取り込まれる。所定数のデータ取り込みが終わると、データ出力端子SOを介して、カスケード接続された隣のICのシフトレジスタ8にデータ信号が順次与えられる。

1ライン分のデータ信号の取り込みが終わり、全ての駆動用IC1のシフトレ

ジスタ 8 にデータが蓄えられると、次に、ロード信号 $LOAD\ 1$ が、所定時間 H レベルに保持され、各駆動用 $IC\ 1$ のシフトレジスタ 8 に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号 $LOAD\ 1$ の立ち下がり時点でラッチ回路 9 が選択（ラッチ）されるので、シフトレジスタ 8 に取り込まれた $n \times m$ 個のデータ信号がラッチ回路 9 に入力されて記憶される。

ロード信号 $LOAD\ 1$ が H レベルから L レベルに切り替わった直後に、外部から供給される分割タイミング用の信号 $DIVSEL$ に基づいて、分割タイミング信号は正解路 14 が分割タイミング信号 $DIV\ 1 \sim DIV\ 40$ を選択的に L レベルから H レベルに切り替える。このタイミング期間内に、ストロブ信号（反転 STB ）が H レベルから所定期間 L レベルに保持される。

この分割タイミング信号 $DIV\ 1 \sim DIV\ 40$ の切り替わりによって、選択回路 11 がラッチ回路 9 や記憶回路 10 から選択して出力するデータ信号の位置が順次切り替わる。例えば、分割タイミング信号 $DIV\ 1$ によって、1 番目、9 番目、…のデータが選択される。分割タイミング信号 $DIV\ 2$ によって、2 番目、10 番目、…データが選択される。

これらのデータ（必要に応じて 3 ビットの補正データが付加される）がドライブ回路 12 に与えられる。ドライブ回路 12 は、データ信号やそれに付加された補正データに基づいて、4 つの電流増幅器 $12\ a \sim 12\ d$ を選択的に作動させてその出力電流を個別端子部 DO 内の出力端子を介して発光素子 22 の各個別電極 28 に供給する。

全ての発光素子 22 の個別電極 28 にデータ信号や補正データに応じた電流が供給可能な状態となるが、群選択端子によって選択された n 個の発光部 26 のみが共通電極 27 を介して接地されているので、この例では各ブロックで 1 つの発光素子 22 が選択され、その内の 8 個置き of 発光部 26 のみが選択的に発光する。

上記のような、同一ブロックに属する 1 つの発光素子 22 を所定回数に分けて分割駆動し、それを発光素子 22 の数だけ繰り返す時分割駆動（ $p \times q = m$ 分割）によって 1 つのブロック内での選択的な発光を行い、これを複数のブロックで同時に行うことにより、1 ラインの発光を行うことができる。これを順次繰り返すことによって、静電写真型プリンター画面分の露光を行うことができる。

上記のように、素子内時分割駆動に対応した発光素子 2 2 を駆動するための各駆動用 I C 1 が、群を単位とするタイミングに同期して動作する第 2 駆動部 3 を内蔵し、この駆動用 I C 1 によって対応した発光素子 2 2 の時分割駆動を行う構成としているので、負荷の分散を図ることができる。よって、時分割駆動を行うための第 2 駆動部 3 に加わる最大負荷は、対応する発光素子 2 2 の 1 つの群に属する発光部 2 6 の数に基づき決定できる。その結果、従来のダイナミック駆動方式のように時分割駆動用（共通電極選択用）の専用 I C を用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を低減することができる。

そして、駆動用 I C 1 は、複数の発光素子 2 2 を時分割駆動するので、発光素子 2 2 と時分割駆動用 I C を 1 対 1 の割合で配置する場合に比べて、内部回路数を削減することができる。特に、I C の中で半数以上の面積を占有するドライブ回路について、発光素子と時分割駆動用 I C を 1 対 1 の割合で配置する場合は $q \times n$ 必要であるが、上記構成では、 n 個に削減することができ、 q (5) 分の 1 の削減率を達成することができた。また、発光素子とスタティック駆動用 I C を 1 対 1 の割合で配置する場合は $p \times q \times n$ のドライブ回路が必要であるが、上記構成では n 個に削減することができ、 $p \times q$ (40) 分の 1 の大幅削減率を達成することができた。そして、駆動用 I C 1 を従来のスタティック方式用の I C と同等の形状で構成することができるので、全体的な回路構成の小型化を達成することもできる。

また、時分割駆動を行う構成でありながら、スタティック方式と同じようにデータを順次入力することができるので、従来の時分割駆動に必要とされたデータの並び替えのための回路が不要となる。また、時分割数を増加させても、その分割数よりも少数の制御信号用の信号線を利用して時分割用のタイミング信号 D I V 1 ~ D I V 4 0 を発生させるようにしているので、I C の端子数や組立作業数の削減を図ることができる。

また、駆動用 I C 1 は、時分割駆動に対応していながら、同じブロック内の発光素子全ての補正用データを記憶し、それを選択して出力することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデ

一タ信号の補正を容易に行うことができる。

尚、本実施形態は、上記のように1つの駆動用ICとそれに接続した複数の発光素子を1つのブロックとし、このブロックを発光素子の配列方向と同方向に複数配置した光プリントヘッドに好適であるが、これ以外にも適用可能であり、例えば、前記1つのブロックのみを基本構造とする光プリントヘッドやそれに類する印字装置に適用することもできる。

また、光プリントヘッドに要求される仕様などに応じて、上記駆動用ICに接続する発光素子の構成を変更することもできる。すなわち、発光素子22の個別電極数(n)は一定に保ち、発光素子22内の群の数(p)と1ブロック内の発光素子22の数(q)を、その積が駆動用IC1の群選択用端子の数(m)と同じになるように、適宜変更することができる。例えば、分割数(p)を5とした発光素子を8個並べて1つのブロックを構成することができる。また、分割数(p)を4とした発光素子を10個並べて1つのブロックを構成することもできる。このとき、発光部の配列密度が相違する発光素子22を選択することもできるので、駆動用ICの汎用性を高めることができる。

また、上記駆動用ICは、時分割数(m)が40に設定されているが、データ入力の仕方に工夫をすることにより、光プリントヘッドに要求される印字速度等に応じて、見かけ上の時分割数(実効的な時分割数)を変更することができる。例えば、高速の印字速度が要求され、それに応じて時分割数をmよりも小さな値kに変更する必要がある場合は、駆動用IC1に信号を供給するデータ処理回路側において、分割タイミング信号DIVの数を実質的にkに削減する処理を施せば良い。すなわち、分割タイミング信号発生回路14がアップカウンタ方式の場合は、分割数kを超えると、制御信号DIVSELのクロック周波数を大きくして残りのタイミング信号DIVk+1~DIV40を極短期間に発生させるとともに、ストロブ信号(反転STB)をHレベルに保持してその短縮期間のデータ印字を禁止するようにすることができる。また、分割タイミング信号発生回路14がデコーダ方式の場合は、データ処理回路から与える複数ビットの制御信号DIVSELに所望の分割数kに応じた変更を加えることによって、タイミング信号DIV1~DIVkのみを選択的に発生させれば良い。このようにして、駆

動用 I C 1 の時分割数 (m) に変更を加えて実質的な時分割数 (k) を例えば 16 に設定するとともに、この駆動用 I C 1 に第 6 図に示す発光素子 22 を 2 個接続してそれを 1 ブロックとし、これを 10 ブロック配置して 7680 個の発光部を備える光プリントヘッドを構成すると、第 3 図を参照して動作説明した時分割数 (m) が 40 の場合に比べて、印字速度を $40 / 16 = 2.5$ 倍に早めることができる。

印字速度を速める他の方法として、各発光部に流す電流値を大きくし発光出力を増加させる方式が知られている。しかしながら、電流値を増加させることができない場合、例えば、変更前の電流値が発光部の許容電流値に近い場合、発光部の通電寿命を延ばすために電流値を低く設定している場合などにおいては、上記のように実質的な時分割数を少なくして印字速度を高める方式を採用することが望ましい。

このようにすることによって、同一の駆動用 I C を用いながらも、プリントヘッドに要求される印字速度の変更に対して、実質的な分割数を変更することによる対応ができ、プリントヘッドの機能変更に対処することができる。

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。第 8 図は、本実施形態の光プリントヘッドを示す要部平面図であり、第 9 図は、本実施形態の発光素子を示す要部平面図である。尚、本実施形態において、駆動用 I C の構成については、第 1 の実施形態と同様、図 1 及び図 2 で表される構成であり、又、その動作についても第 2 の実施形態と同様、図 3 のタイミングチャートに従う。又、第 8 図及び第 9 図のそれぞれにおいて、第 5 図及び第 6 図のそれぞれと同一部分には、同一符号を付して説明を省略する。

駆動用 I C 1 と発光素子 22 との間に接続される配線は、第 1 の実施形態では、第 5 図のように、発光素子 22 の下側に第 1 の配線 23-1 が、発光素子 22 の上側に第 2 の配線 23-2 が設けられ、発光素子 22 の両側においてワイヤボンダ線で接続された構成となる。それに対して、本実施形態では、第 8 図のように、発光素子の 22 の下側に駆動用 I C 1 の群選択用の出力端子 C D 1 ~ C D 40 と接続された第 2 の配線 23-2 が、この第 2 の配線 23-2 の更に下側に駆動用

IC1の出力端子DO1～DO48と接続された第1の配線23-1が設けられ、発光素子22の片側においてワイヤボンド線で接続された構成となる。すなわち、第1の配線23-1及び第2の配線23-2の配線パターンの発光素子22の配列長と同じ程度の長さを持つ配線は、発光素子22の列の片側のみに区分けして配置している。

このように第1の配線23-1及び第2の配線23-2を介して駆動用IC1と電氣的に接続された発光素子22は、第1の実施形態と同様、その上面に複数($p \times n = 384$)個の発光部26を、その長手方向に沿って1200DPI程度の配列密度で配列している。又、この複数の発光部26は、時分割駆動できるようにそれぞれが独立して形成され、 n 個の発光部26から成る群を単位に駆動できるように、複数(p)の群に区分けしている。更に、本実施形態においても、第1の実施形態と同様、発光部26の配置順序を示す番号を分割数 p (8)で割った場合の余りの数に基づいて8つの群に区分けした場合を例示する。

この発光素子22は、第9図に示すように、第1の群に属する発光部26に共通配線した共通電極27-1と、第2の群に属する発光部26に共通配線した共通電極27-2、…、並びに共通電極27-8の8個の共通電極27を設けるとともに、隣接する8つの発光部26に接続した n (48)個の個別電極28を設けている。尚、第1の実施形態においては、共通電極27と個別電極28が、第6図のように、発光部26の両側に区分けし、発光素子22の長手方向に沿って配列されているのに対して、本実施形態では、発光部26の片側に、発光素子22の長手方向に沿って配列されている。

この発光素子22の構成、及び発光素子と第1の配線23-1及び第2の配線23-2との関係が第1の実施形態の場合と異なる以外は、第1の実施形態と同様の構成又は動作となるので、第1の実施形態を参照するものとして、その説明を省略する。

< 第3の実施形態 >

第10図は、第3の実施形態の駆動用ICの基本的な構成を示す回路ブロック図である。第11図は、第10図に示す回路ブロック図のうち、複数ある出力端子DO1～DO96の1つの出力端子DO1に関する部分を中心に抽出した要

部回路ブロック図である。まず、これらの図を中心に説明する。

第10図に示す駆動用IC1は、第1図の駆動用IC1と比べて、データ信号記憶回路54が、データ入力端子SI1～SI4からシリアルに入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SO1～SO4からシリアル出力する $n \times m$ ビット構成の多入力シフトレジスタ58を有する点が異なる。よって、第1図と同一部分には同一符号を付して説明を省略する。又、個別端子部DOが素子駆動用の複数個(n)の出力端子DO1～DO96で構成され、共通端子部CDが群選択用の複数(m)個の出力端子CD1～CD4で構成される。

以下、図示のごとく、 $n = 96$ 、 $m = 4$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。このように、 $n = 96$ 、 $m = 4$ とした時、シフトレジスタ58は384ビット構成となり、又、ラッチ回路9も、シフトレジスタ58に取り込まれたデータ信号を、ロード信号LOAD1に基づいて384ビット単位に並列に取り込むために、384ビット構成となっている。

駆動回路5において、選択回路11Aが、ラッチ回路9より出力される $n \times m$ (384)個のデータ信号から、 n 個単位にデータ信号を順次選択して出力するとともに、この選択回路11Aの出力に基づいて前記出力端子DO1～DO96を介して一定の電流を出力する第1のドライブ回路12Aが、 n (96)ビット構成となる。又、補正データ記憶回路10が、出力補正に対応するための補正データを $n \times m$ (384)個記憶するとともに、第2の選択回路11Bが、補正データ記憶回路10より出力される $n \times m$ (384)個の補正データ信号から、 n 個単位に補正データ信号を順次選択する。更に、この補正データ用の選択回路11Bの出力に基づいて増加減した電流値の出力を前記出力端子DO1～DO96を介して駆動信号として出力する補正用の第2のドライブ回路12Bが、 n (96)ビット構成となる。

記憶回路10は、第1の実施形態と同様、 S ビット (例えば3ビット構成) で構成される補正データを $n \times m$ (384)個記憶することができるよう、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路10に対する補正データの書き込みは、シフトレジスタ58から

並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

分割タイミング信号発生回路 14 は、第 1 の実施形態と異なり、図 12 の回路図及び表 1 の真理値表に示すように、時分割のタイミングを規定するように外部から供給される制御信号の 1 つである外部信号 $DIVSEL1$ 、2 の 2 信号に基づいて、分割タイミング信号 ($DIV1 \sim DIV4$) を生成する。

表 1

$DIVSEL1$	$DIVSEL2$	選択
H	H	$DIV4$
H	L	$DIV3$
L	H	$DIV2$
L	L	$DIV1$

次に、第 11 図を参照して 1 つの出力端子 $DO1$ を中心にデータの流れについて説明する。ラッチ回路 9 に記憶された 1 つの $IC1$ 分のデータ (384 個のオン/オフデータ) は、分割タイミング信号 $DIV1 \sim DIV4$ が順次 H レベルに切り替わることによって、その分割タイミング信号 $DIV1 \sim DIV4$ とラッチ回路 9 に接続された第 1 の選択回路 11A における 4 つのアンドゲート回路が順次 1 つずつ開き、その開いたアンドゲート回路を通して選択的に出力される。第 11 図に示す例では、1 つの IC 内部の 1 から 4 番目のデータが順次ドライブ回路 12 の駆動に用いられる。また、補正データ記憶回路 10 に記憶された 3 ビット構成の補正データも同様に、分割タイミング信号 $DIV1 \sim DIV4$ が順次 H レベルに切り替わることによって第 2 の選択回路 11B における 3 個 1 組のアンドゲート回路が開く結果、その開いている 1 組のアンドゲート回路を通して選択的に出力される。補正データ記憶回路 10 の出力は、ドライブ回路 12 に供給され、ラッチ回路 9 から第 1 の選択回路 11A を通して与えられたデータと協働して 3 つの電流増幅器 12b \sim 12d を選択的に動作させる。

次に、第 2 駆動部 3 について説明する。第 2 駆動部 3 は、出力端子 $CD1 \sim CD4$ の 1 つを選択的に接地電位 VSS に切り替えるための回路で、前記分割タイミング信号 $DIV1 \sim DIV4$ に同期したタイミングによって切り替える構成と

しているが、前記選択回路 11 の選択タイミングに同期した他の信号を用いて切り替える構成とすることもできる。

第 14 図は、光プリントヘッド 20 の一例を示す要部平面図であり、駆動用 IC 1 としては第 3 及び第 4 の実施形態で説明する駆動用 IC が用いられる。この光プリントヘッド 20 は、絶縁性基板 21 の上に複数、例えば 20 個の発光素子 22 を一列に配列し、この発光素子 22 の片側に隣接させて駆動用 IC 1 を発光素子 22 と 1 対 1 で対応させて一列に配列している。この例では、駆動用 IC 1 を発光素子 22 の片側に配列しているが、駆動用 IC 1 を発光素子 22 の両側に配列する場合は、発光素子 22 と駆動用 IC 1 を 1 対 2 の対応関係で配列すれば良い。発光素子 22 と駆動用 IC 1 間には、両者を接続するための配線 23 が施される。配線 23 としては、金線等のワイヤボンド線による直接接続構造、中継用のパターンを介在したワイヤボンド線による間接的接続構造を用いることができるが、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造を用いることもできる。

基板 21 の上には、信号用、電力供給用の複数本の配線パターン 24 を発光素子 22 の配列方向に沿って形成している。駆動用 IC 1 と配線パターン 24 の間には、前記配線 23 と同様の配線 25 を設けている。

発光素子 22 は、その上面に複数 ($m \times n = 384$) 個の発光部 26 をその長手方向に沿って配列している。そして、この複数の発光部 26 は、時分割駆動できるようにそれぞれが独立して形成されており、群単位に時分割駆動できるように、複数 m の群に区分けしている。この例では、発光部 26 の 1、5、9 番目を第 1 の群、2、6、10 番目を第 2 の群、3、7、11 番目を第 3 の群、4、8、12 番目を第 4 の群というように、発光部 26 の配置順序を示す番号を 4 で割った場合の余りの数に基づいて 4 つの群に区分けした場合を例示している。

そして、発光素子 22 は、第 1 の群に属する発光部 26 に共通に接続した共通電極 27-1 と、第 2 の群に属する発光部 26 に共通に接続した共通電極 27-2、共通電極 27-3、並びに共通電極 27-4 の 4 本の共通電極 27 を設けるとともに、隣接する 4 つの発光部 26 に接続した n (96) 個の個別電極 28 を設けている。これらの個別電極 28 は、それぞれ駆動用 IC 1 の出力端子 DO1

～D O 9 6 に接続され、共通電極 2 7 は、出力端子 C D 1、C D 2、C D 3、C D 4 に接続される。そして、共通電極 2 7 を選択し、任意の個別電極 D O に通電させれば、発光部 2 6 の 4 分の 1 ずつが時分割で発光する。

尚、発光素子 2 2 は L 個（2 0 個）であるので、ヘッド 2 0 全体の発光部 2 6 の数は、 $L \times m \times n = 20 \times 4 \times 96 = 7680$ 個となる。

第 1 5 図は、光プリントヘッド 2 0 の回路ブロック図である。光プリントヘッド 2 0 には 2 0 個の発光素子 2 2 が一列に並ぶように配置されている。# を付した番号が光プリントヘッド 2 0 全体の発光部 2 6 の通し番号である。個別電極 2 8 はそれぞれ 4 つのグループの発光部 2 6 の 1 つずつ（そのアノード）に共通に接続され、それぞれの群に属する各発光部 2 6 のカソードはそれぞれ共通電極 2 7 - 1、2 7 - 2、2 7 - 3、2 7 - 4 に接続されている。個別電極 2 8 は駆動用 I C 1 の個別端子 D O 1 ～D O 9 6 に接続されている。共通電極 2 7 - 1、2 7 - 2、2 7 - 3、2 7 - 4 はそれぞれ出力端子 C D 1、C D 2、C D 3、C D 4 に接続されている。1 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 は 2 番目の駆動用 I C 1 のデータ出力端子 S O 1 ～S O 4 に接続されている。同様に、2 ～1 9 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 はそれぞれ 1 つ番数の大きい駆動用 I C 1 のデータ出力端子 S O 1 ～S O 4 に接続されている。そして、2 0 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 に外部からのデータ信号が入力される。各駆動用 I C 1 には、電源電圧 V D D 1 や外部信号 D I V S E L 1, 2 やロード信号 L O A D 1 等が入力される。尚、第 1 5 図では、S I が S I 1 ～S I 4 を、S O が S O 1 ～S O 4 を表す。

次に、第 3 の実施形態の駆動用 I C 1 の動作を含めた上記光プリントヘッド 2 0 の動作について、第 1 0 図、第 1 1 図に加えて、第 1 5 図に示す光プリントヘッドの回路構成例、第 1 3 図に示すタイミングチャートを参照して説明する。尚、記憶回路 1 0 に記憶すべき補正データは、既に記憶回路 1 0 に記憶されているものとする。

まず、設定信号 S E T が L レベルから H レベルに切り替えられる。その結果、記憶回路 1 0 への書き込みが禁止された状態となる。

2 0 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 にデータ信号（7 6

80個)が r 個単位に順次与えられ、これがクロック信号CLK1に同期して順次各駆動用IC1の多入力シフトレジスタ58に取り込まれる。ここで、各データ入力端子SI1~SI4に与えられるデータ信号は、入力端子SI1に1, 5, 9番目のデータ、入力端子SI2に2, 6, 10番目のデータというように、予め発光素子の4つの群に対応した形態に振り分けられて入力される。1つの駆動用IC1のシフトレジスタ58への入力が終わると、その出力端子SO1~SO4を介して、隣に位置する駆動用IC1のシフトレジスタ58にデータ信号が与えられる。このように、データ信号を多入力するので、1入力の場合に比べてデータ入力の時間を大幅に短縮することができる。

1ライン分のデータ入力が終了すると、ロード信号LOAD1が、所定時間Hレベルに保持され、各駆動用IC1のシフトレジスタ8に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号LOAD1の立ち下がり時点でラッチ回路9が選択(ラッチ)されるので、シフトレジスタ8に取り込まれた $n \times m$ 個のデータ信号がラッチ回路9に入力されて記憶される。

ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、発光のタイミングを示す外部信号DIVSEL1, 2が共にLレベルに保持され、これに伴って分割タイミング信号発生回路14が出力する分割タイミング信号のDIV1のみがLレベルからHレベルに切り替わる。その直後に発光のタイミングを示す外部ストロブ信号(反転STB)がHレベルから所定期間Lレベルに保持され、その間に発光素子の選択的な発光が行われる。

外部信号DIVSEL1, 2の組み合わせを変更することにより、分割タイミング信号のDIV2のみがHレベルに切り替えることができ、同様に順次DIV3, DIV4のみがHレベルに切り替えることができる。

この分割タイミング信号DIV1~DIV4の切り替わりによって、選択回路11がラッチ回路9や記憶回路10から選択して出力するデータ信号の位置が順次切り替わる。例えば、分割タイミング信号DIV1によって、1番目、5番目、...7677番目のデータが選択され、分割タイミング信号DIV2によって、2番目、6番目、...7678番目のデータが選択される。

これらのデータ(必要に応じて3ビットの補正データが付加される)がドライ

ブ回路 12 に与えられる。ドライブ回路 12 は、データ信号やそれに付加された補正データに基づいて、4 つの電流増幅器 12 a ~ 12 d を選択的に作動させてその出力電流を出力端子 D O を介して発光素子 22 の各個別電極 28 に供給する。

全ての発光素子 22 の個別電極 28 にデータ信号や補正データに応じた電流が供給可能な状態となるが、4 分の 1 の発光部 26 のみが共通電極 27 を介して接地されているので、この例では 4 個置きの発光部 26 のみがストロブ信号（反転 S T B）の L レベル期間に選択的に発光する。

上記のような、4 分の 1 ずつの切り替えによる時分割駆動によって 1 ライン分の選択的な発光を行い、これを順次繰り返すことによって、1 画面分の露光を行うことができる。

上記のように、時分割駆動を行う構成でありながら、1 ライン分のデータ信号を一度の処理作業で入力することができるので、従来の回路で行っていたような分割数と同じ回数にわたって繰り返しデータ信号を入力する処理が不要となる。特に、群の数（m）とデータ入力端子数（r）を同じに設定しているので、郡単位に予めデータを振り分けてデータ入力を行うことができ、データ入力処理等を容易に実行することができる。

また、本実施形態の駆動用 I C 1 は、1200 D P I 以外の解像度の発光素子を駆動する場合への適用も容易であるので、これらの例について第 16 図～第 21 図に示す概略的な構成図、第 22 図～第 25 図に示すタイミングチャートを参照して以下説明する。尚、第 16 図は、上述の光プリントヘッドの構成に対応した概略的な構成図である。

第 17 図には、発光素子として、共通電極数が 2（ $M=2$ ）、個別電極数が 96（ $N=96$ ）、解像度 600 D P I の発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子 22 として、第 14 図に示す前記発光素子 22 と外観形状は同等であるが、発光部 26 の配列密度が半分であるとともに、発光部 26 を奇数と偶数の 2 つの群（ $M=2$ ）に区分けした 2 分割タイプのものを用いている。駆動用 I C 1 は、2 つの入力 S I 1, S I 2 を使用することにより 1 ライン分のデータ入力を 1920 クロックで行い、残りの 2 つの入力 S I 3, S I 4 を使用することにより次の 1 ライン分のデータ入力を同時に

行うようにしている。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、第22図にタイミングを示すように、一度のデータ入力処理によって2ライン分のデータを取り込んだ後、分割タイミング信号DIV1によって、1ライン目の1群（奇数データ）を選択し、分割タイミング信号DIV2によって、1ライン目の2群（偶数データ）を選択し、分割タイミング信号DIV3によって、2ライン目の1群（奇数データ）を選択し、分割タイミング信号DIV4によって、2ライン目の2群（偶数データ）を選択することができる。

ここで、第18図に示すように、残りの2つの入力SI3, SI4を使用しなければ、1ライン分のデータのみを取り扱う構成とすることができる。このようにすることにより、1200DPI対応の駆動用IC1を600DPIの発光素子22の駆動に利用することができる。

第19図は、発光素子として300DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と外観形状は同等であるが、発光部26の配列密度が4分の1で群が1つ（M=1）の非分割タイプのものを用いている。駆動用IC1に inputsするデータ信号を、4つの入力SI1～SI4を使用することにより、図23にタイミングを示すように、4ライン分のデータ入力を1920クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、1200DPI対応の駆動用IC1を300DPIの発光素子22の駆動に利用できるとともに、一度のデータ入力処理で4ライン分のデータ信号を入力することができるので、データ処理能力を高めて印字速度を速くすることができる。

第20図は、発光素子として600DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と同じ長さで、発光部26の配列密度が半分の600DPIで、2つの群（M=2）に区分けした2分割タイプのものを2つ用いている。

これらの発光素子は、発光素子の長手方向と同方向に配列され、駆動用 I C 1 とマルチプレクス配線を介して接続されている。駆動用 I C 1 は、図 2 4 にタイミングを示すように、その 1 つの入力 S I 1 を使用して一方の発光素子の奇数番目のデータ信号の入力を行い、次の入力 S I 2 を使用して一方の発光素子の偶数番目のデータ信号の入力を行い、次の入力 S I 3 を使用して他方の発光素子の奇数番目のデータ信号の入力を行い、次の入力 S I 4 を使用して他方の発光素子の偶数番目のデータ信号の入力を行うことで、1 ライン分のデータ入力を 9 6 0 クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド 2 0 (第 1 6 図) と同様である。このようにすることにより、1 2 0 0 D P I 対応の駆動用 I C 1 を 6 0 0 D P I の発光素子 2 2 の駆動に利用することができる。また、駆動用 I C と発光素子を 1 : 2 の関係を保った 1 つの単位 (ブロック) としてこれを基板 2 1 の長手方向に配列することができるので、駆動用 I C 数の削減を図ることができる。

第 2 1 図は、発光素子として 3 0 0 D P I の発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子 2 2 として、第 1 4 図に示す前記発光素子 2 2 と同じ長さで、発光部 2 6 の配列密度が 4 分の 1 の 3 0 0 D P I で群が 1 つ ($M = 1$) の非分割タイプのものを 4 つ用いている。これらの発光素子は、発光素子の長手方向と同方向に配列され、駆動用 I C 1 とマルチプレクス配線を介して接続されている。駆動用 I C 1 は、図 2 5 にタイミングを示すように、その 1 つの入力 S I 1 を使用して第 1 の発光素子のデータ信号の入力を行い、次の入力 S I 2 を使用して第 2 の発光素子のデータ信号の入力を行い、次の入力 S I 3 を使用して第 3 の発光素子のデータ信号の入力を行い、次の入力 S I 4 を使用して第 4 の発光素子のデータ信号の入力を行うことで、1 ライン分のデータ入力を 4 8 0 クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド 2 0 (第 1 6 図) と同様である。このようにすることにより、1 2 0 0 D P I 対応の駆動用 I C 1 を 3 0 0 D P I の発光素子 2 2 の駆動に利用することができる。また、駆動用 I C と発光素子を 1 : 4 の関係を保った 1 つの単位 (ブロック) としてこれを基板 2 1 の長手方向に配列することができるので、駆動用 I C

数の削減を図ることができる。

< 第 4 の実施形態 >

次に、本発明の第 4 の実施形態について説明する。第 26 図は、第 4 の実施形態の駆動用 IC1 について、複数ある出力端子 DO1 ~ DO96 の 1 つの出力端子 DO1 に関係する部分を中心に抽出した要部回路ブロック図である。本実施形態では、シフトレジスタ 58 に記憶するデータ数よりも少数のデータを記憶するラッチ回路 11C を用いる。以下、本実施形態について、第 26 図及び第 27 図を参照して説明する。

本実施形態において、第 3 の実施形態と大きく相違する点は、シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを n 個単位に駆動回路 12 に供給するための選択回路として、出力端子 DO1 ~ DO96 の数 ($n = 96$) と同数のデータを記憶するラッチ回路 11C と、このラッチ回路 11C に選択的にデータを入力する選択回路 11A を用いた点である。

図 26 に示すように、多入力シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを、論理ゲート回路で構成した選択回路 11A を介してラッチ回路 11C に与えるようにしている。ラッチ回路 11C は、出力端子 DO1 ~ DO96 の数と同数のデータを記憶する n (96) ビット構成のラッチで構成され、LOAD1 信号によって n 個単位にデータを取り込む。選択回路 11A は、分割タイミング信号発生回路 14 の出力する分割タイミング信号 DIV1 ~ DIV4 によって、シフトレジスタ 58 が出力する複数 ($m \times n = 384$) 個のデータから n 個のデータを選択してラッチ回路 11C に与える。シフトレジスタ 58 に記憶されたデータは、このような選択処理が m 回繰り返されることによって順次ラッチ回路 11C に与えられる。ラッチ回路 11C 出力する n 個のデータは、ストロブ信号 (反転 STB) が L レベルの間にドライバ回路 12 に与えられる。

分割タイミング信号発生回路 14 は、第 12 図の構成を採用することもできるが、第 28 図に示すように、1 つの外部タイミング信号 DIVSEL のパルスをカウントして出力するカウンタタイプの回路構成を採用している。すなわち、例えば第 28 図に示すように、2 つのフリップフロップ FF1、FF2 と、複数 (4 つの) 論理ゲート回路 G1 ~ G4 を組み合わせたカウンタとによって構成す

ることができる。

具体的には、JKフリップフロップFF1の入力端子J、KにHレベルである電源電圧VDD1が入力され、クロック入力端子CLに外部信号DIVSELが入力され、リセット入力端子Rにリセット信号RESETが入力される。フリップフロップFF1の出力端子Qより信号QAが出力され、出力端子 \overline{Q} より信号 \overline{Q} Aが出力される。JKフリップフロップFF2の入力端子J、Kに信号QAが入力され、クロック入力端子CLに外部信号DIVSELが入力され、リセット入力端子Rにリセット信号RESETが入力される。フリップフロップFF2の出力端子Qより信号QBが出力され、出力端子 \overline{Q} より信号 \overline{Q} Bが出力される。論理ゲート回路G1は外部信号DIVSELと信号QAと信号 \overline{Q} BのANDをとって分割タイミング信号DIV1を出力する。論理ゲート回路G2は外部信号DIVSELと信号 \overline{Q} Aと信号QBのANDをとって分割タイミング信号DIV2を出力する。論理ゲート回路G3は外部信号DIVSELと信号QAと信号QBのANDをとって分割タイミング信号DIV3を出力する。論理ゲート回路G4は外部信号DIVSELと信号 \overline{Q} Aと信号 \overline{Q} BのANDをとって分割タイミング信号DIV4を出力する。

この実施形態の動作は第27図のタイミングチャートに示している。この図に示すとおり、4つの入力SI1～SI4を介して1920クロックによって1ライン分のデータを取り込んだ後、その1ライン分のデータの駆動が終了するまでの間は、次のラインのデータを取り込むことができないので、処理速度が遅くなるが、駆動用IC内部の回路素子数を削減してICの小型化、低価格化を図ることができる。よって、この実施形態は、処理速度よりも小型化や低価格化が優先される光プリントヘッドに好適である。

尚、上記各実施形態における発光素子として、PN接合の発光ダイオード以外にもPNPN接合の発光ダイオード（発光サイリスタ）など、他の構造の発光部を配列した発光素子を採用することができる。また、発光部を一行に配列したもの以外にも、千鳥配置したものや、2列以上の複数列配置したものをを用いることができる。

また、第3及び第4の実施形態において、発光素子の片側に駆動用ICを配列

する場合の他に、第1の実施形態のように、発光素子の両側に駆動用ICを配置することもできる。このとき、発光素子として倍の解像度を持つもの、例えば2400DPIの解像度の発光素子を採用するのが望ましい。また、駆動用ICは、例えば個別端子部あるいは共通端子部のいずれか一方をオープン状態とすることにより、あるいはその他の方法により、第1駆動部2あるいは第2駆動部3のみを選択的に利用することもできる。

更に、第1及び第2の実施形態において、第3及び第4の実施形態のように、複数の入力端子からデータが平行に入力される多入力シフトレジスタを使用しても構わない。

産業上の利用可能性

以上のように、本発明によると、従来のスタティック駆動と同様のデータ処理手順を残しながらも、時分割駆動に対応した駆動を行うことができ、スタティック駆動と互換性を保つことができる。また、時分割駆動に対応するので駆動用IC数の低減、ワイヤボンド数や密度の低減を行うことができる。また、駆動用ICとそれに接続する発光素子の組み合わせを種々設定することができる。また、入力データの変更によって実質的な時分割数の変更による印字速度の変更も容易である。また、基板に配置した配線パターンの密度（解像度）が低くても高解像度の光プリントヘッドを提供することができる。

また、解像度が異なる複数種類の発光素子に対応可能な駆動用ICを提供することができる。又、データの入力を高速に行うことができる駆動用IC及び光プリントヘッドを提供することができる。更に、光プリントヘッドの小型化や低価格化や印字速度の高速化を図ることができる。

請求の範囲

1. $n \times p$ 個の発光部と、前記発光部の一方の端子と p 個毎に接続された n 個の第 1 電極と、前記発光部の他方の端子と n 個毎に接続された p 個の第 2 電極と、を備えるとともに、前記第 1 及び第 2 電極が選択されることによって前記発光部が選択される発光素子と、

前記発光素子の第 1 電極に接続される n 個の第 1 出力端子と、前記発光素子の第 2 電極に接続される m 個の第 2 出力端子と、を備える駆動用 IC 装置と、を有し、

前記発光素子が、1 つの前記駆動用 IC 装置に対して、 q 個設けられるとともに、この前記発光素子が設けられる個数 q が、前記発光素子の第 2 電極の個数 p と前記駆動用 IC 装置の第 2 出力端子の個数 m によって定められることを特徴とする光プリントヘッド。

2. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の両側に配置されることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

3. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の片側に配置されることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

4. 前記駆動用 IC 装置が、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

5. 1 つの前記駆動用 IC 装置と、該駆動用 IC 装置に接続された q 個の前記発光素子を 1 つの単位とするブロックを基板上に複数配置したことを特徴とする請求の範囲 1 に記載の光プリントヘッド。

6. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の両側に配置されることを特徴とする請求の範囲 5 に記載の光プリントヘッド。

7. 前記発光素子において、前記第1及び第2電極が、前記発光部の片側に配置されることを特徴とする請求の範囲5に記載の光プリントヘッド。

8. 前記駆動用IC装置が、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求の範囲5に記載の光プリントヘッド。

9. 前記駆動用IC装置は、印字用データを隣接する駆動用IC装置間で授受するように、印字用データが入出力される1部の端子がカスケード接続されていることを特徴とする請求の範囲5に記載の光プリントヘッド。

10. 基板と、

該基板の長手方向に沿って配列された複数の発光素子と、

前記基板に設けられた前記発光素子の個数よりも少数の駆動用IC装置と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を共通接続する第1配線と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を個別接続する第2配線と、

を備えることを特徴とする光プリントヘッド。

11. 前記駆動用IC装置が、同一構造の駆動用IC装置を複数配置したものであることを特徴とする請求の範囲10に記載の光プリントヘッド。

12. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の端子が前記第2配線と接続された複数の発光部を備え、

前記発光部が n 個単位毎に p 回に分けて時分割駆動されることを特徴とする請求の範囲10に記載の光プリントヘッド。

13. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の

端子が前記第 2 配線と接続された複数の発光部を備え、

前記駆動用 IC 装置が、 q 個の前記発光素子の全ての前記発光部を n 個単位に m 回に分けて時分割駆動することを特徴とする請求の範囲 10 に記載の光プリントヘッド。

14. 前記第 1 及び第 2 配線において、複数の前記発光素子の配列長と同程度の長さを有するそれぞれの配線が、前記発光素子の配列の両側に配置されることを特徴とする請求の範囲 10 に記載の光プリントヘッド。

15. 前記駆動用 IC 装置が、前記発光素子の配列の両側に配置された配線の内、その総幅の狭い方の配線と同じ側に配置されることを特徴とする請求の範囲 14 に記載の光プリントヘッド。

16. 前記第 1 及び第 2 配線において、複数の前記発光素子の配列長と同程度の長さを有するそれぞれの配線が、前記発光素子の配列の片側に配置されることを特徴とする請求の範囲 10 に記載の光プリントヘッド。

17. 一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第 1 出力端子のそれぞれに m 個の発光部の一方の端子が接続されるとともに、前記第 1 出力端子に接続された第 1 駆動部を有する駆動用 IC 装置において、

前記第 1 駆動部が、

r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、

該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、

該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、

を備えることを特徴とする駆動用 IC 装置。

18. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

19. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

20. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 19 に記載の駆動用 IC 装置。

21. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

前記データ選択回路が、前記シフトレジスタに記憶されているデータ信号を n 個単位に選択して取り出すとともに、取り出した n 個のデータ信号を記憶するラッチ回路で構成されることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

22. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 21 に記載の駆動用 IC 装置。

23. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

24. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発

光素子を郡単位で時分割駆動するための駆動用 I C 装置であることを特徴とする請求の範囲 17 に記載の駆動用 I C 装置。

25. 一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第 1 出力端子のそれぞれに m 個の発光部の一方の端子が接続され、 m 個の第 2 出力端子のそれぞれに n 個の発光部の他方の端子が接続されるとともに、前記第 1 出力端子に接続された第 1 駆動部と、前記第 2 出力端子に接続された第 2 駆動部と、タイミング制御回路と、を有する駆動用 I C 装置において、

前記第 1 駆動部が、

r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、

前記タイミング制御回路からの m 種類の分割タイミング信号に基づいて、該データ信号記憶回路に記憶されているデータ信号を n 個単位に選択して取り出すデータ選択回路と、

該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備え、

前記第 2 駆動部が、前記 m 個の第 2 出力端子を前記 m 種類の分割タイミング信号に基づいて順次切り換える構成とされたことを特徴とする駆動用 I C 装置。

26. 前記入力端子の個数 r と、前記第 2 出力端子の個数 m とが同じ個数に設定されることを特徴とする請求の範囲 25 に記載の駆動用 I C 装置。

27. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 25 に記載の駆動用 I C 装置。

28. 前記駆動用 I C 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 I C 装置であることを特徴とする請求の範囲 25 に記載の駆動用 I C 装置。

29. 複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用IC装置と、を備えた光プリントヘッドにおいて、

前記発光素子が、 n 個の第1電極のそれぞれに複数個の発光部の一方の端子が接続され、

そして、前記駆動用IC装置が、前記発光素子の第1電極にそれぞれ接続される n 個の第1出力端子と、第1出力端子から前記駆動電流を出力する第1駆動部と、を備えるとともに、

前記第1駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第1出力端子に駆動信号を出力する駆動回路と、を備えることを特徴とする光プリントヘッド。

30. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲29に記載の光プリントヘッド。

31. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲29に記載の光プリントヘッド。

32. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲31に記載の光プリントヘッド。

33. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

前記データ選択回路が、前記シフトレジスタに記憶されているデータ信号を n 個単位に選択して取り出すとともに、取り出した n 個のデータ信号を記憶するラッチ回路で構成されることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

34. 前記駆動用 IC 装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 33 に記載の光プリントヘッド。

35. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

36. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 IC 装置であることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

37. 複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用 IC 装置と、を備えた光プリントヘッドにおいて、

前記発光素子が、 n 個の第 1 電極のそれぞれに m 個の発光部の一方の端子が接続されるとともに、 m 個の第 2 電極のそれぞれには n 個の発光部の他方の端子が接続され、

そして、前記駆動用 IC 装置が、前記発光素子の第 1 電極にそれぞれ接続される n 個の第 1 出力端子と、第 1 出力端子から前記駆動電流を出力する第 1 駆動部と、前記発光素子の第 2 電極にそれぞれ接続される m 個の第 2 出力端子と、第 2 出力端子のうちの 1 つの端子を所定の電位に保つことで該 1 つの端子に接続された発光部をアクティブになす第 2 駆動部と、 m 種類の分割タイミング信号を出力するタイミング制御回路と、を備えるとともに、

前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、前記タイミング制御回路から

の m 種類の分割タイミング信号に基づいて、該データ信号記憶回路に記憶されているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備え、

前記第 2 駆動部が、前記 m 個の第 2 出力端子を前記 m 種類の分割タイミング信号に基づいて順次切り換える構成とされたことを特徴とする光プリントヘッド。

38. 前記入力端子の個数 r と、前記第 2 出力端子の個数 m とが同じ個数に設定されることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

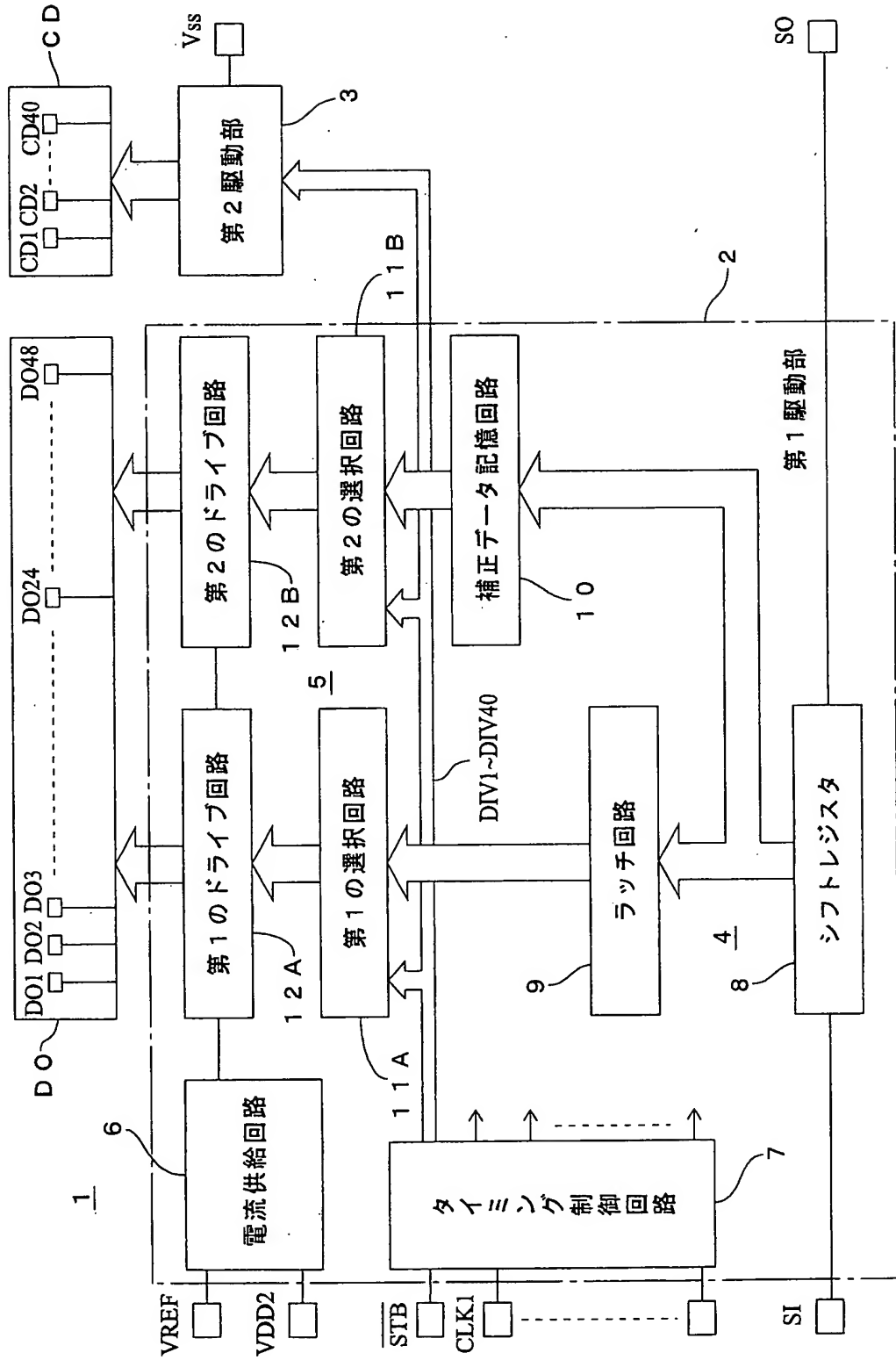
39. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

40. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 IC 装置であることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

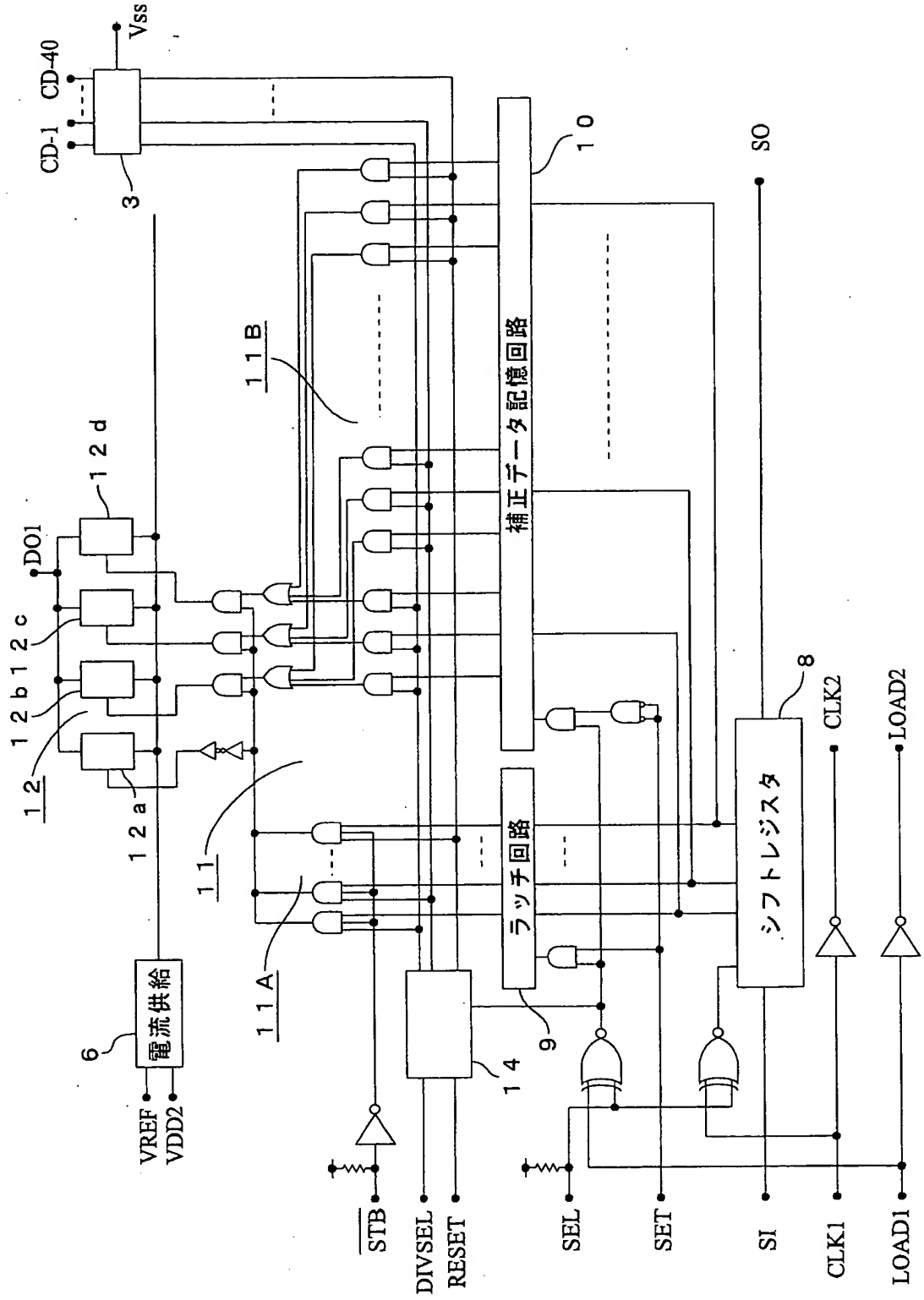
要約書

n 個の個別電極 2 8 と p 個の共通電極 2 7 とこれらによって選択される複
数 $(n \times p)$ の発光部 2 6 とを備える発光素子 2 2 と、個別電極並びに m 個の群選
択用端子 C D 1 ~ C D 4 0 を備えた駆動用の I C 1 とを備え、前記発光素子 2 2
は、1 つの前記駆動用 I C に対して複数 (q) 設けられ、その数 (q) は、発光
素子 2 2 の共通電極 2 7 の数 (p) と前記駆動用 I C 1 の群選択用端子 C D の数
(m) で定められることを特徴とする。

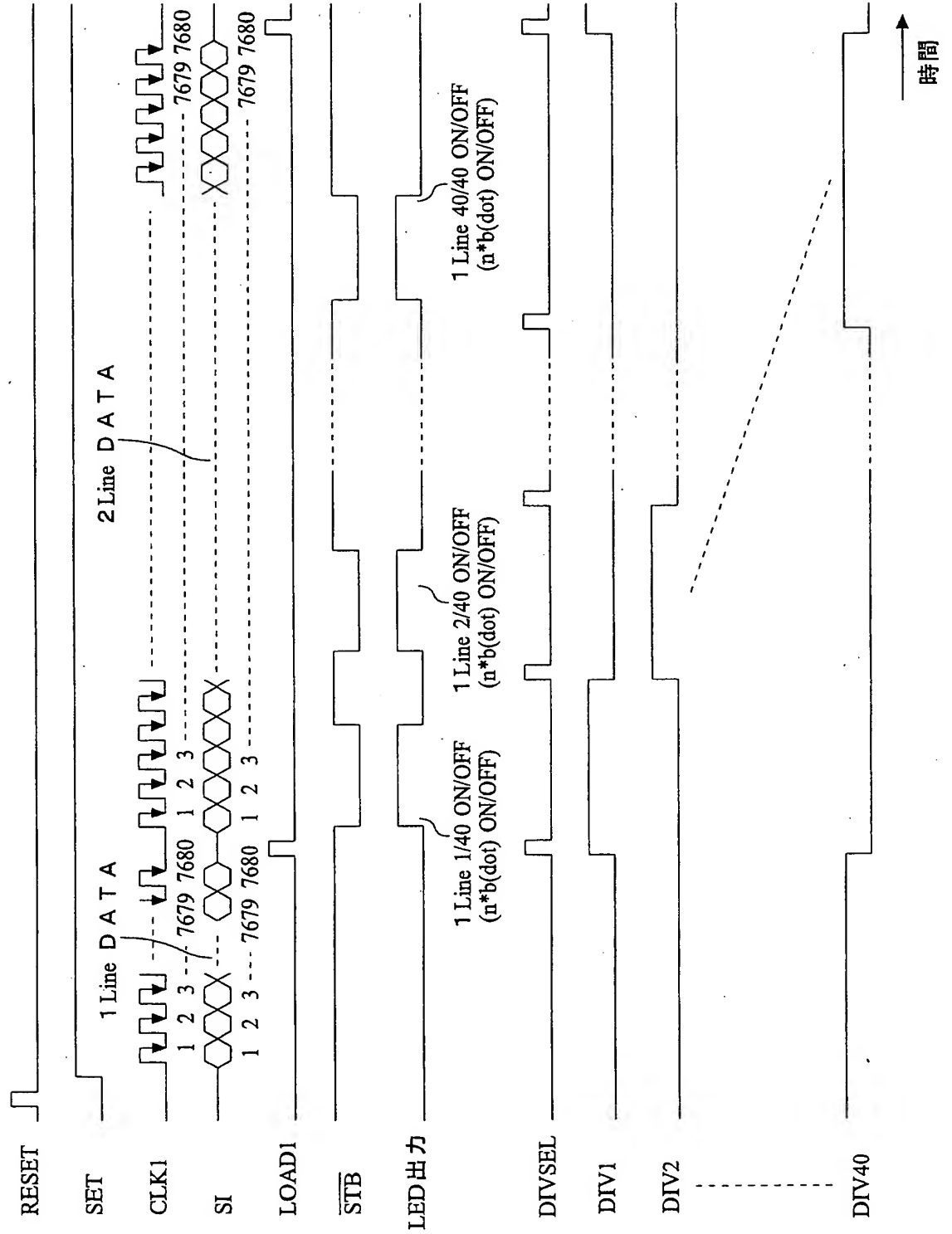
第1図



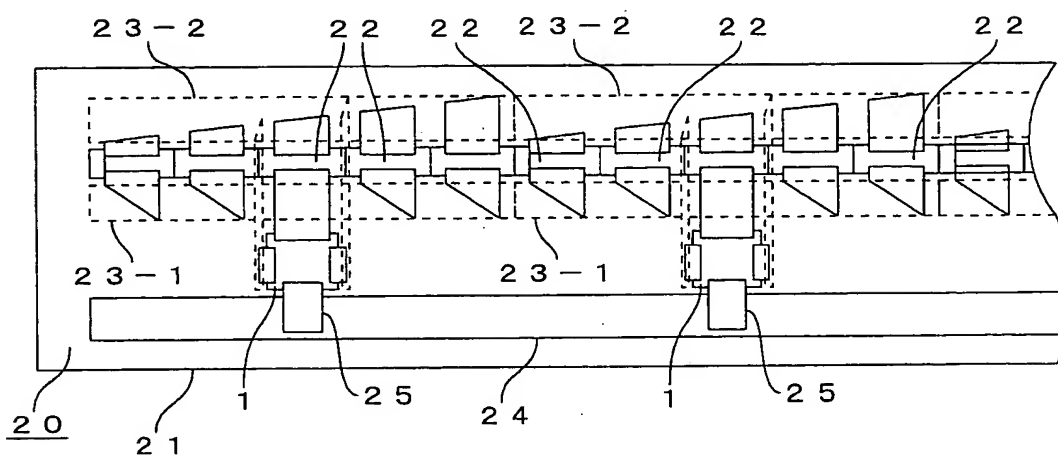
第 2 図



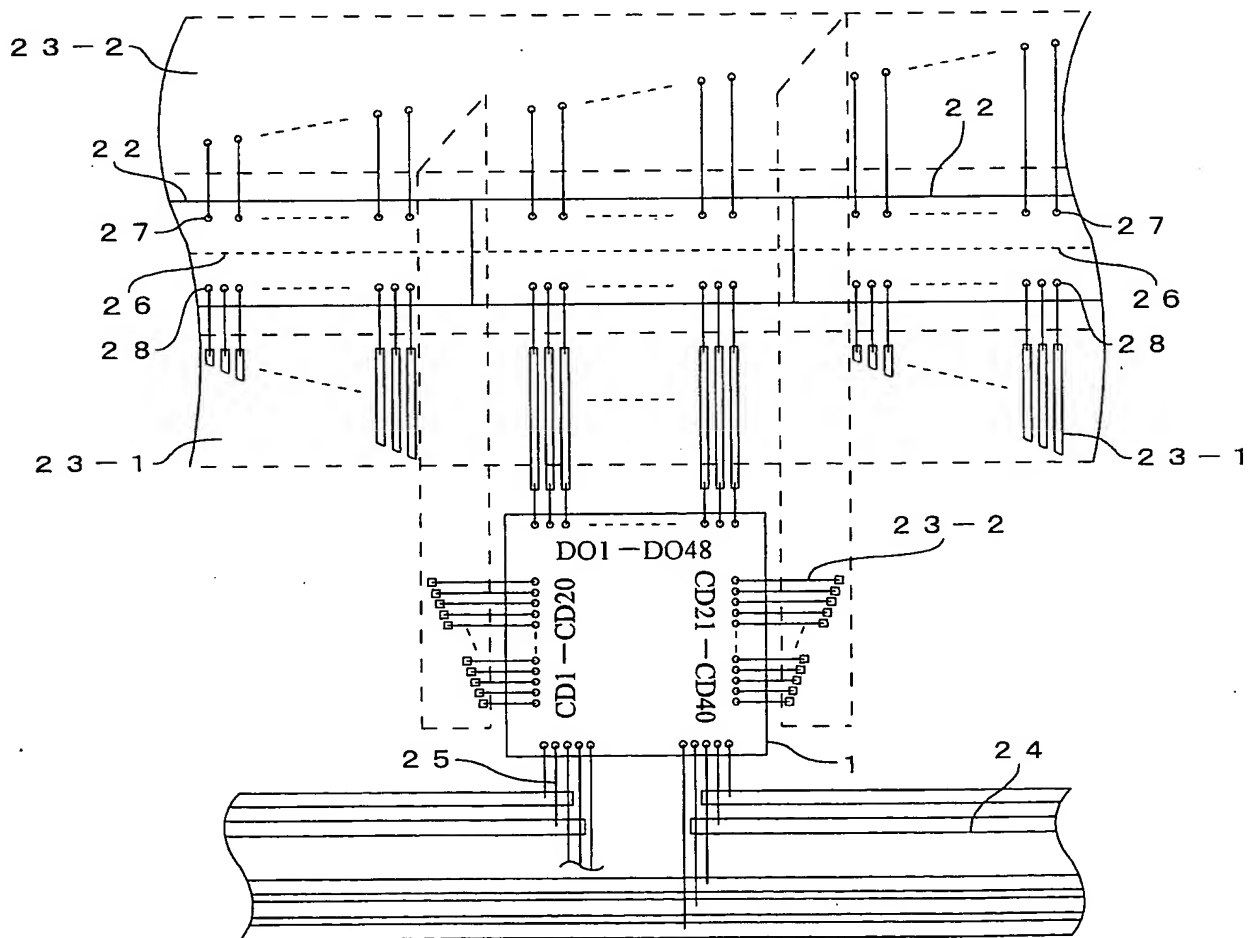
第 3 図



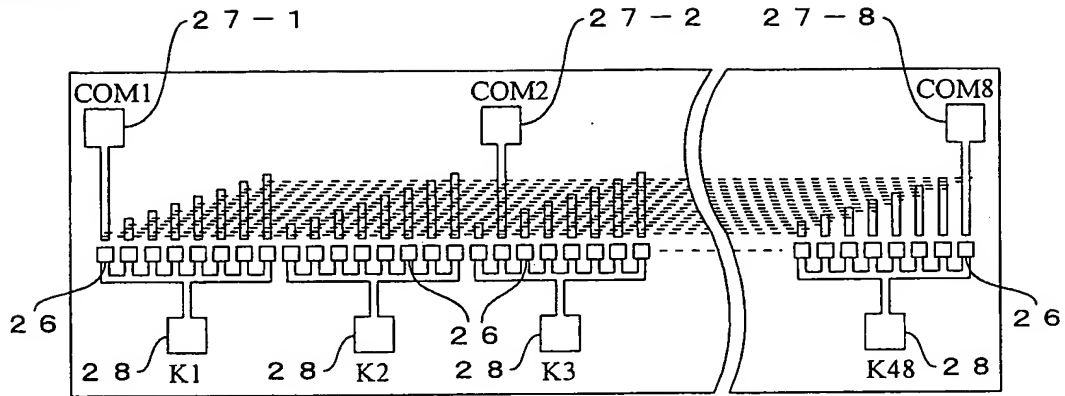
第 4 図



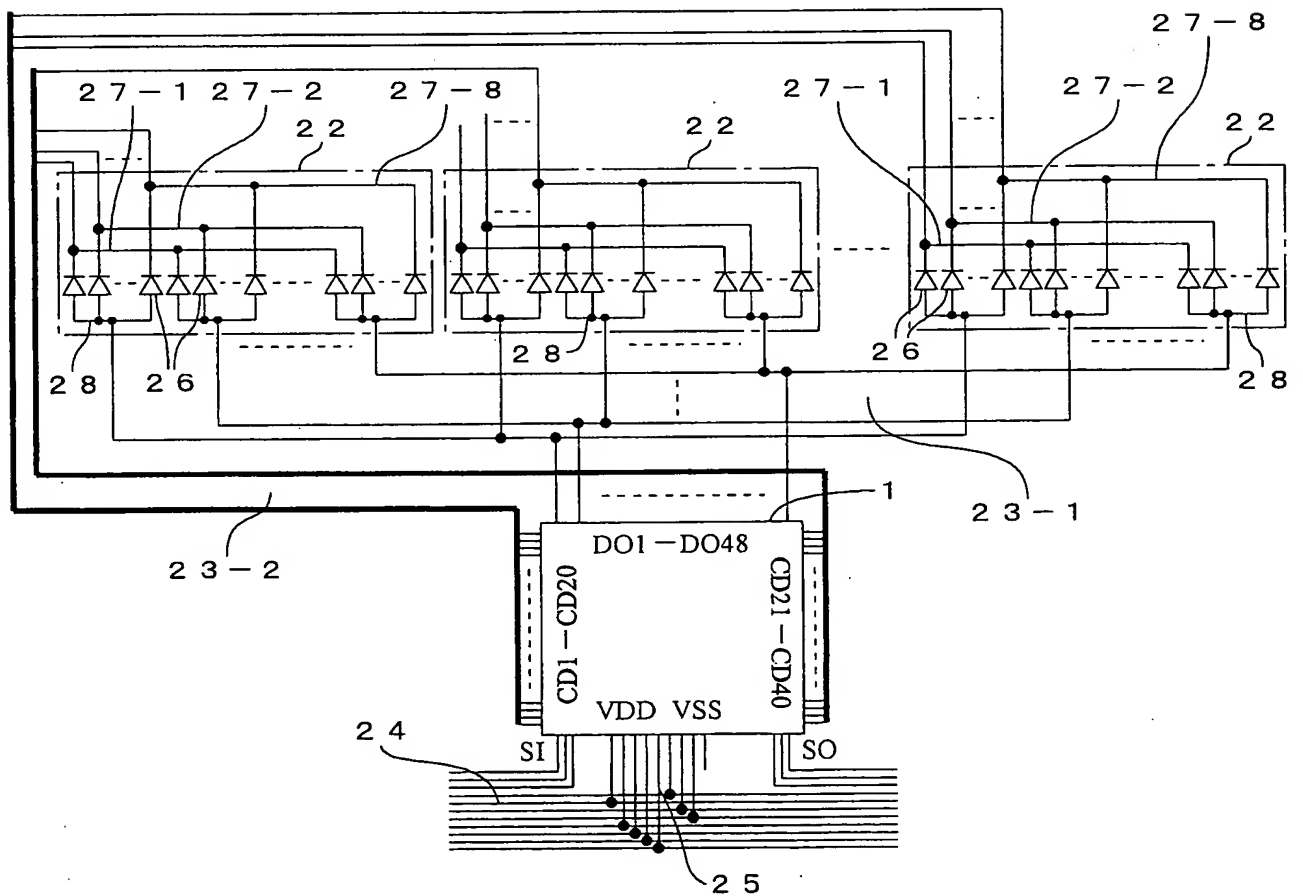
第 5 図



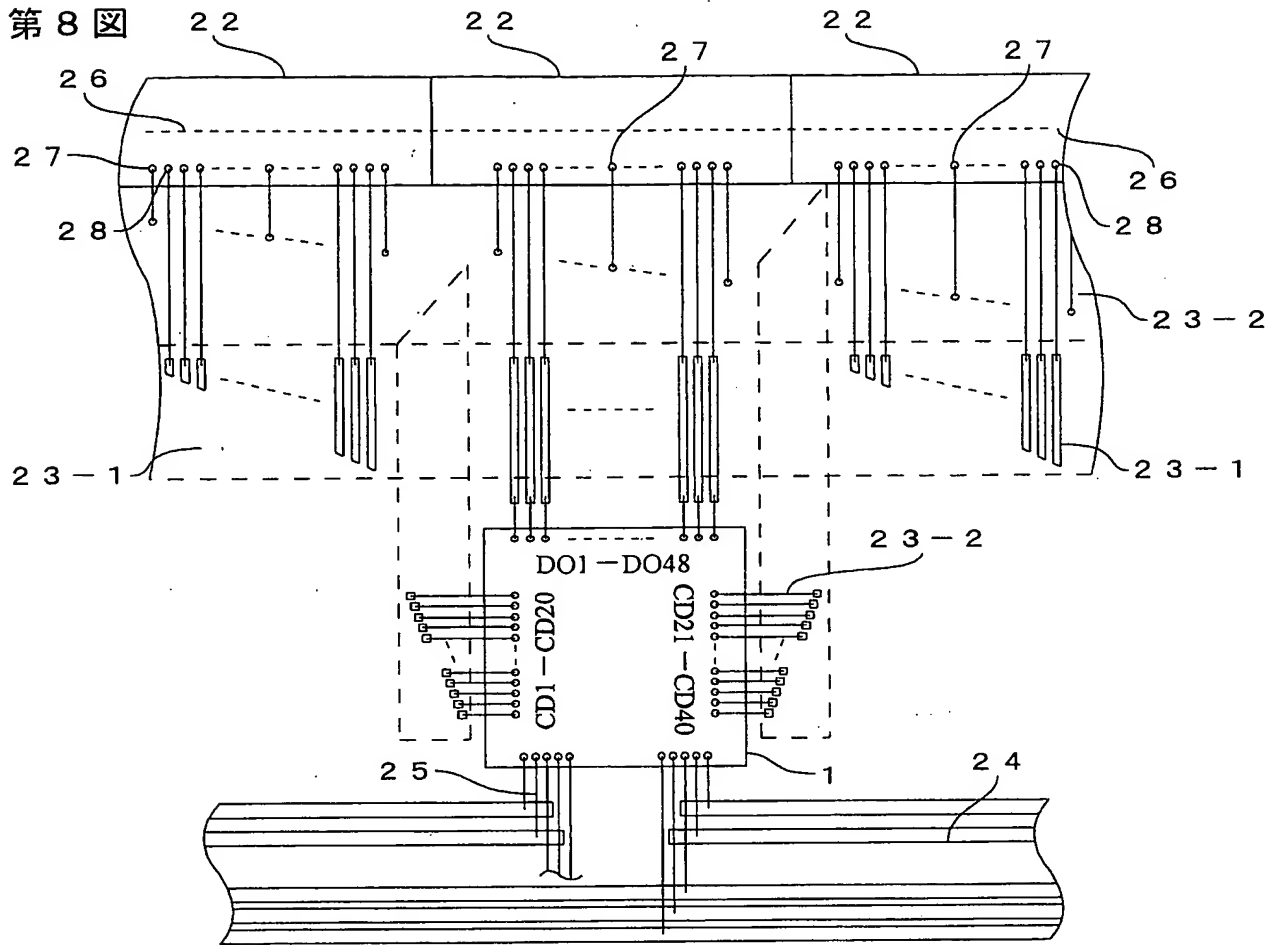
第 6 図



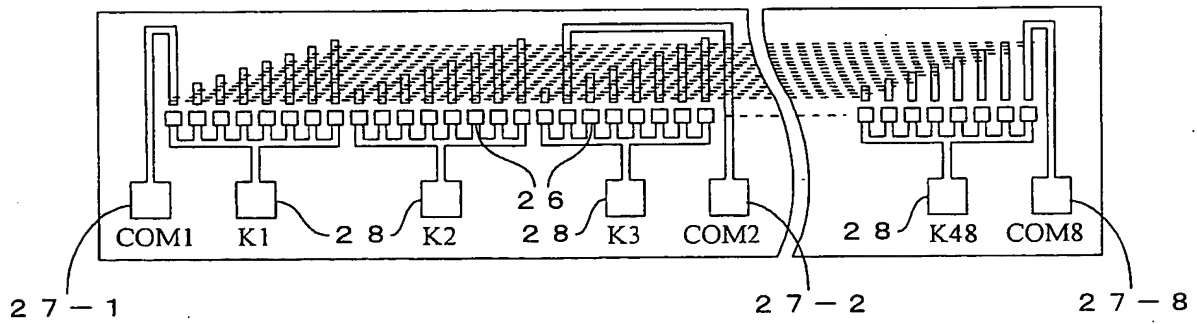
第 7 図



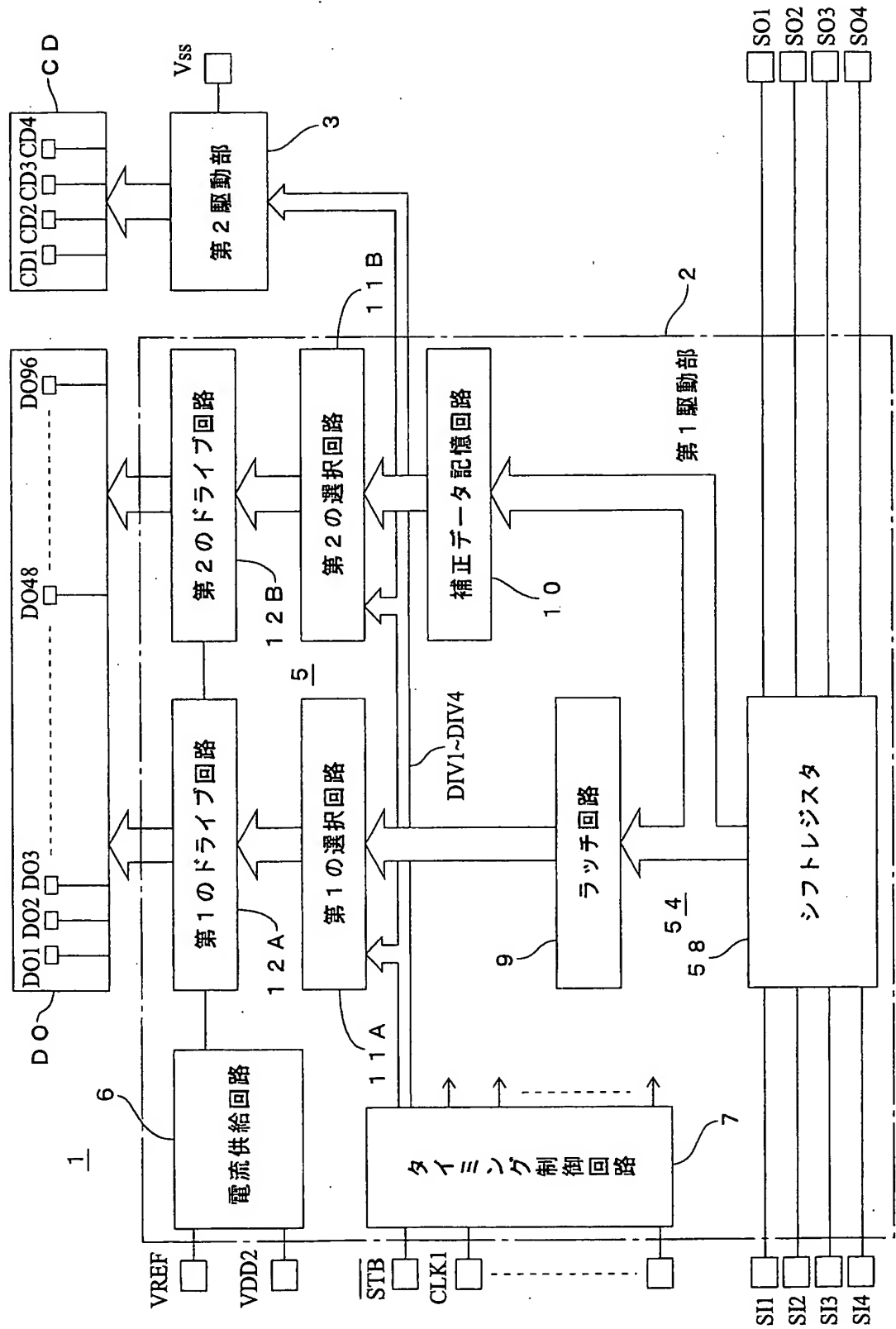
第 8 図



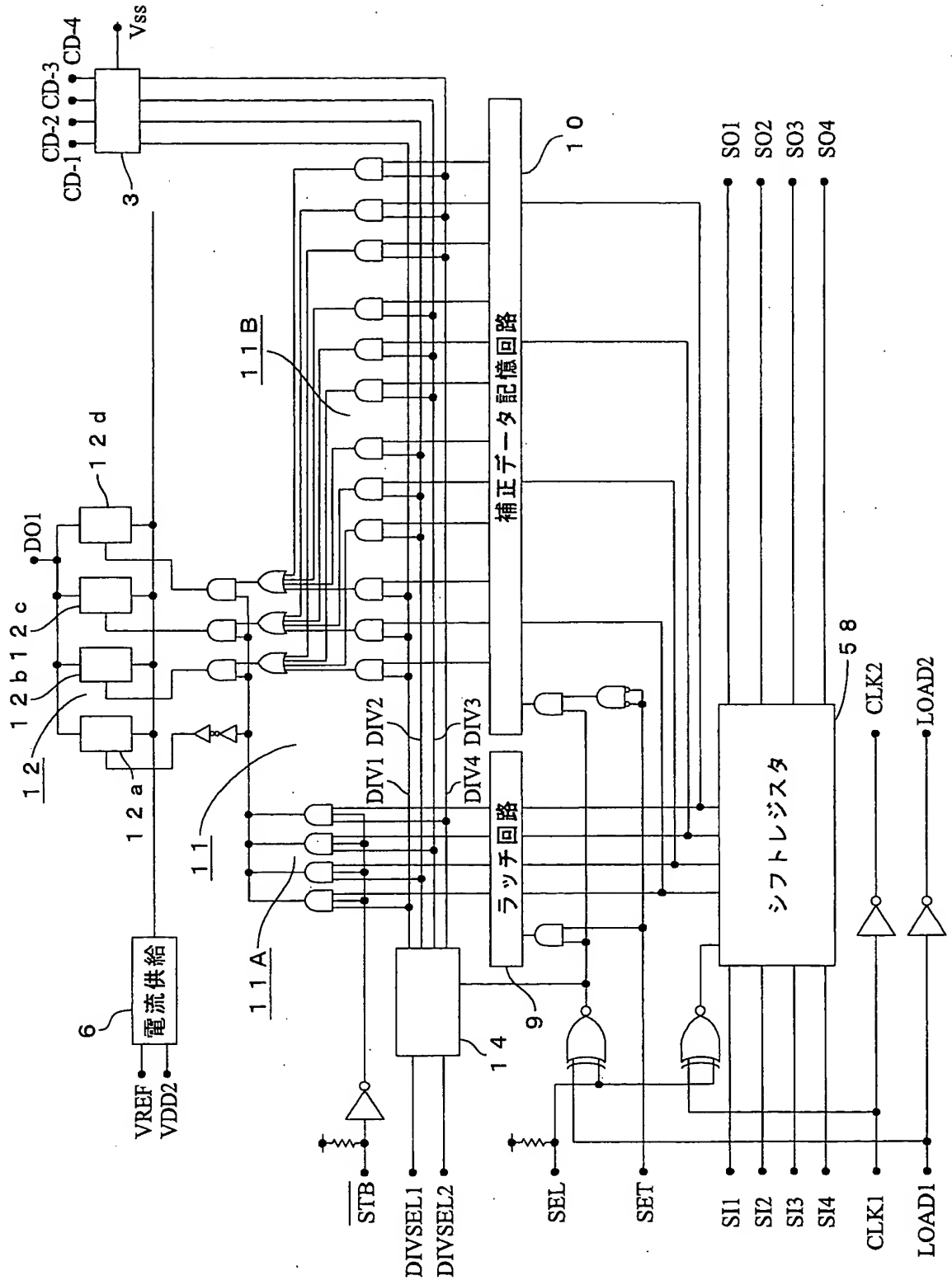
第 9 図



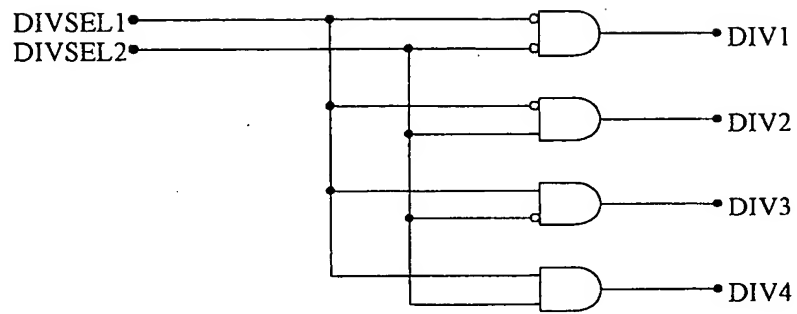
第10図



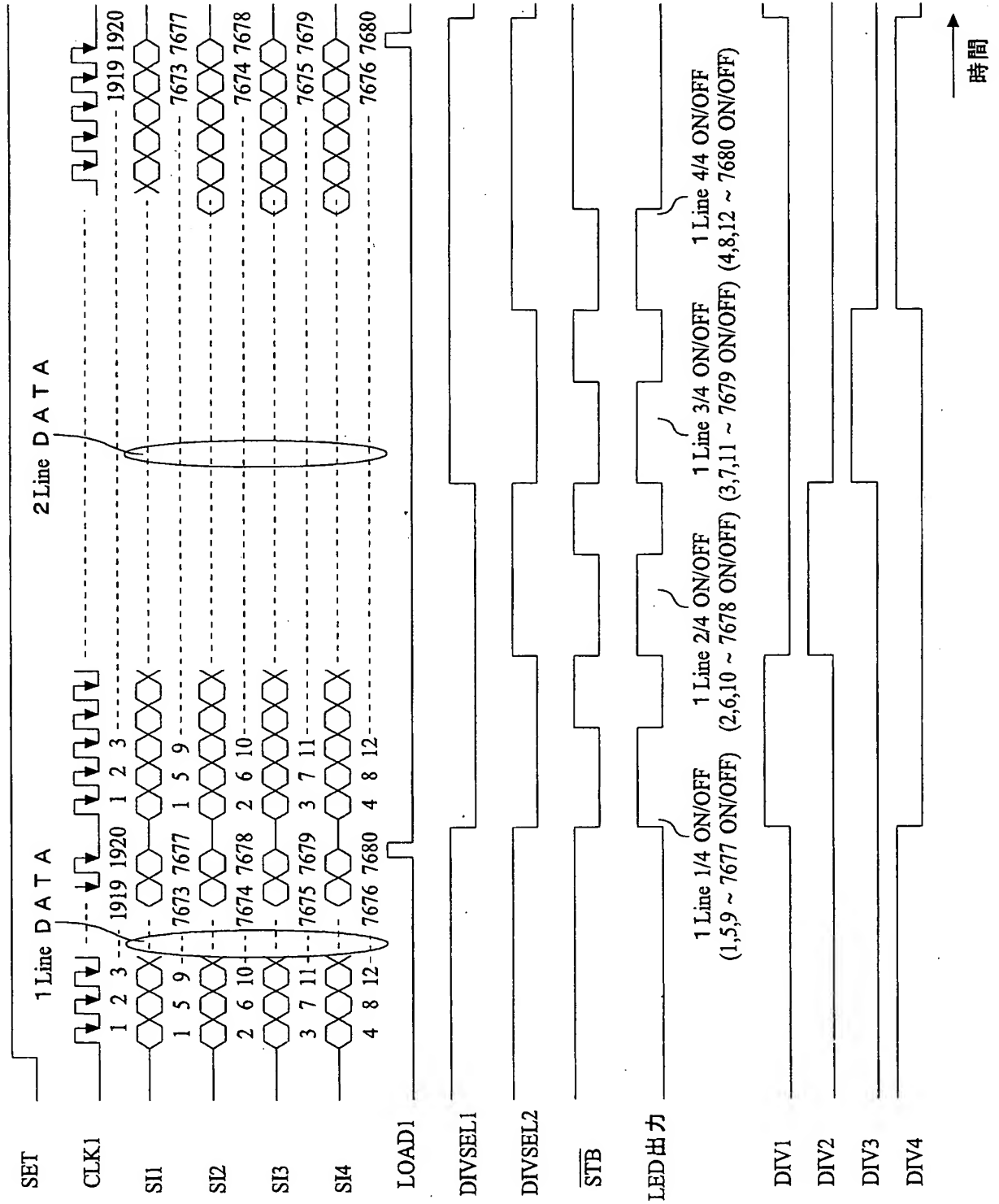
第 1 1 図



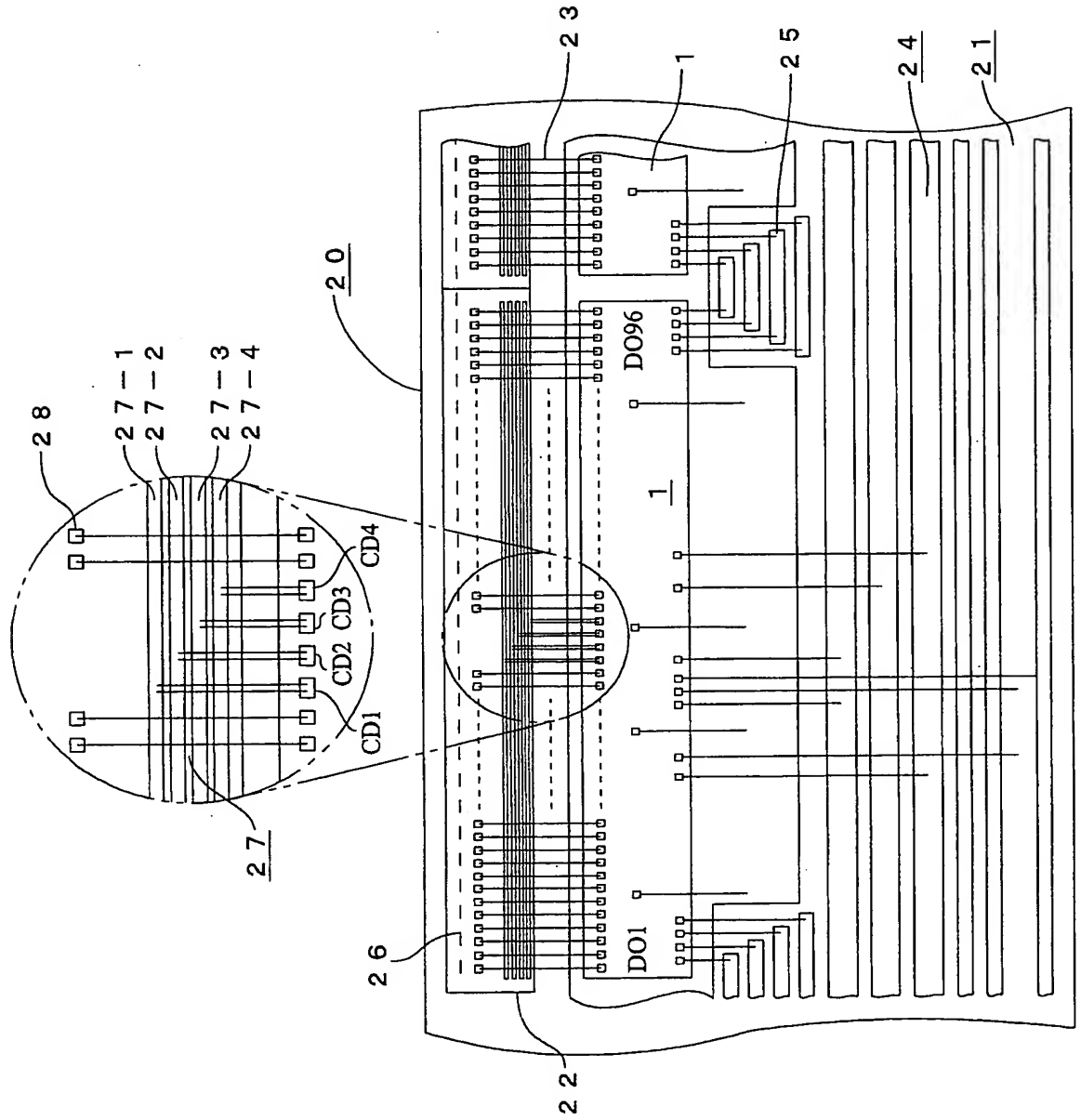
第 1 2 図



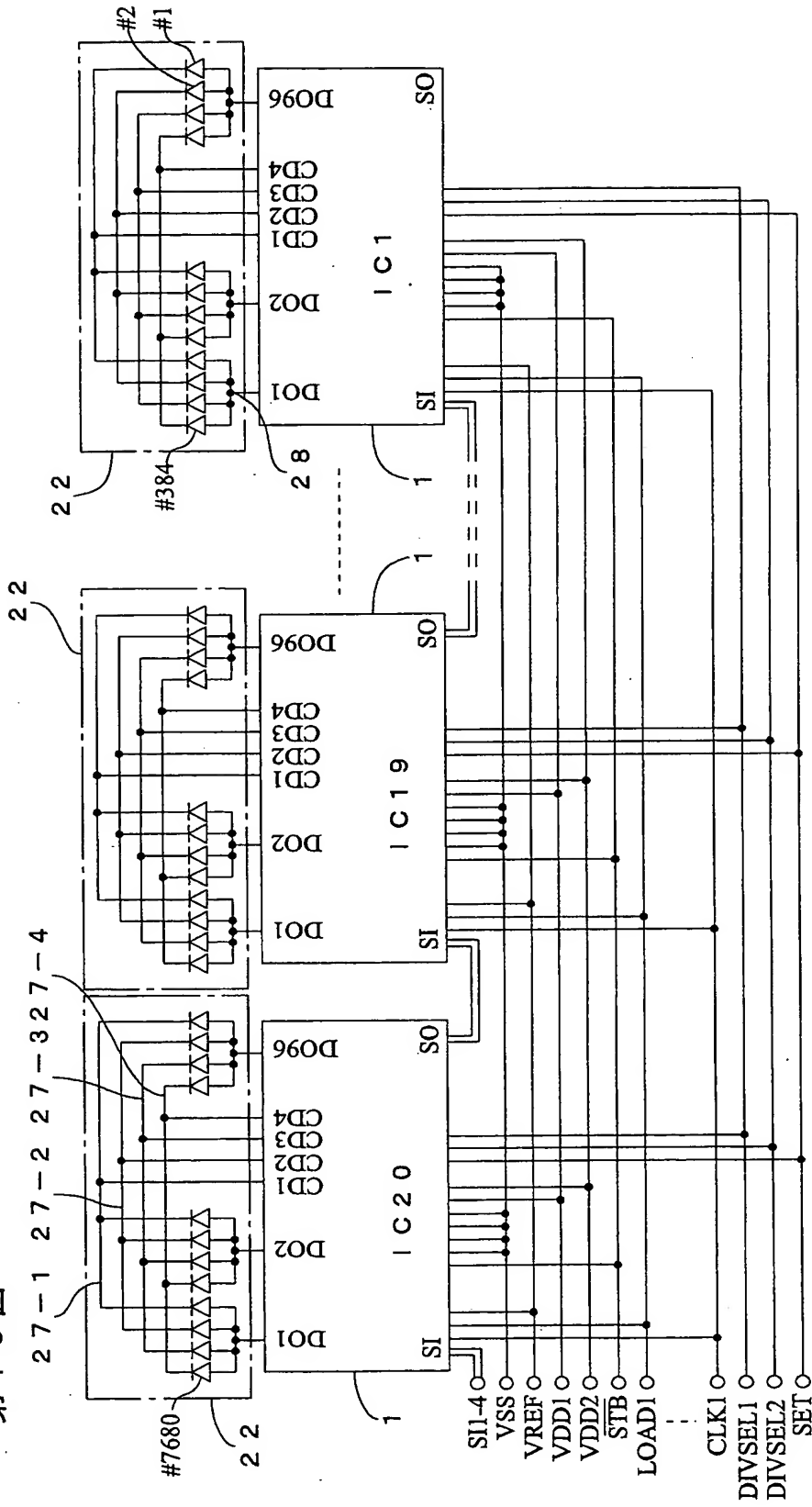
第 1 3 図



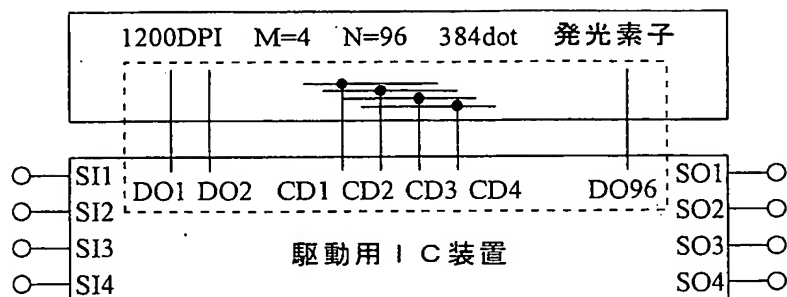
第 1 4 図



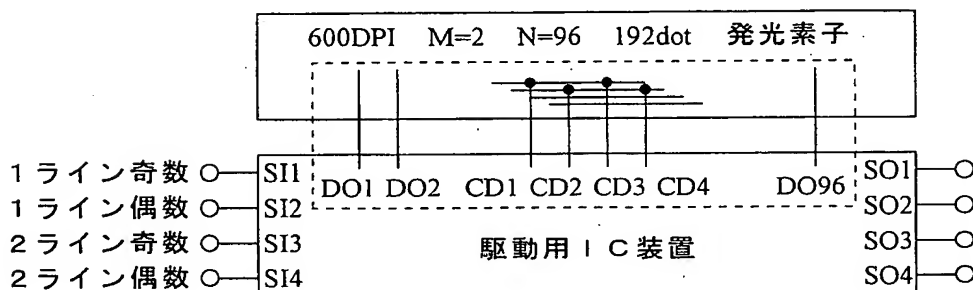
第 15 図



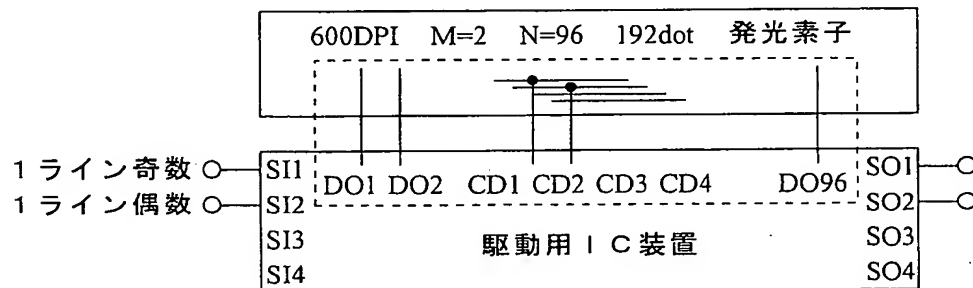
第 1 6 図



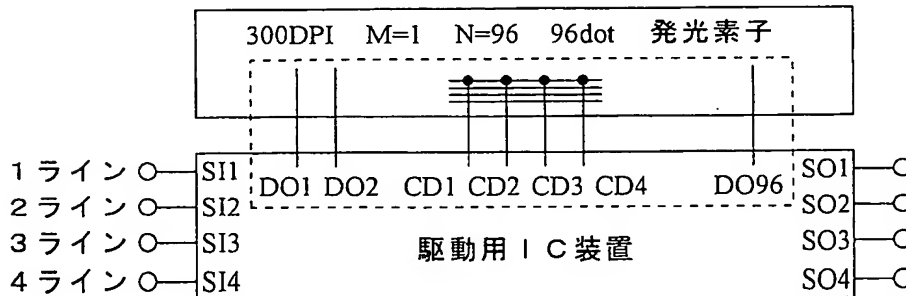
第 1 7 図



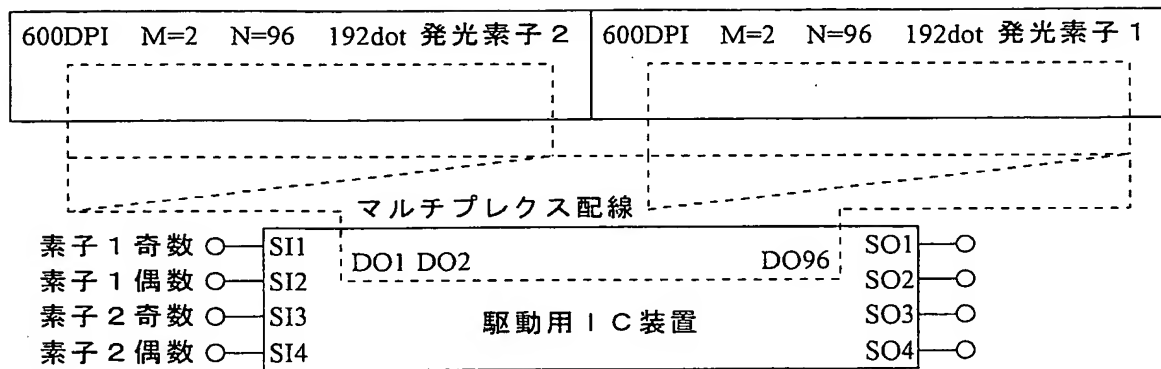
第 1 8 図



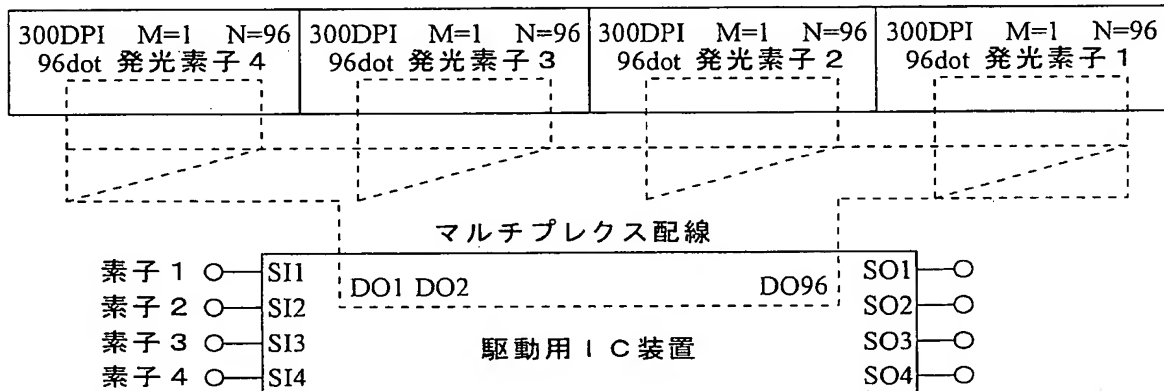
第 1 9 図



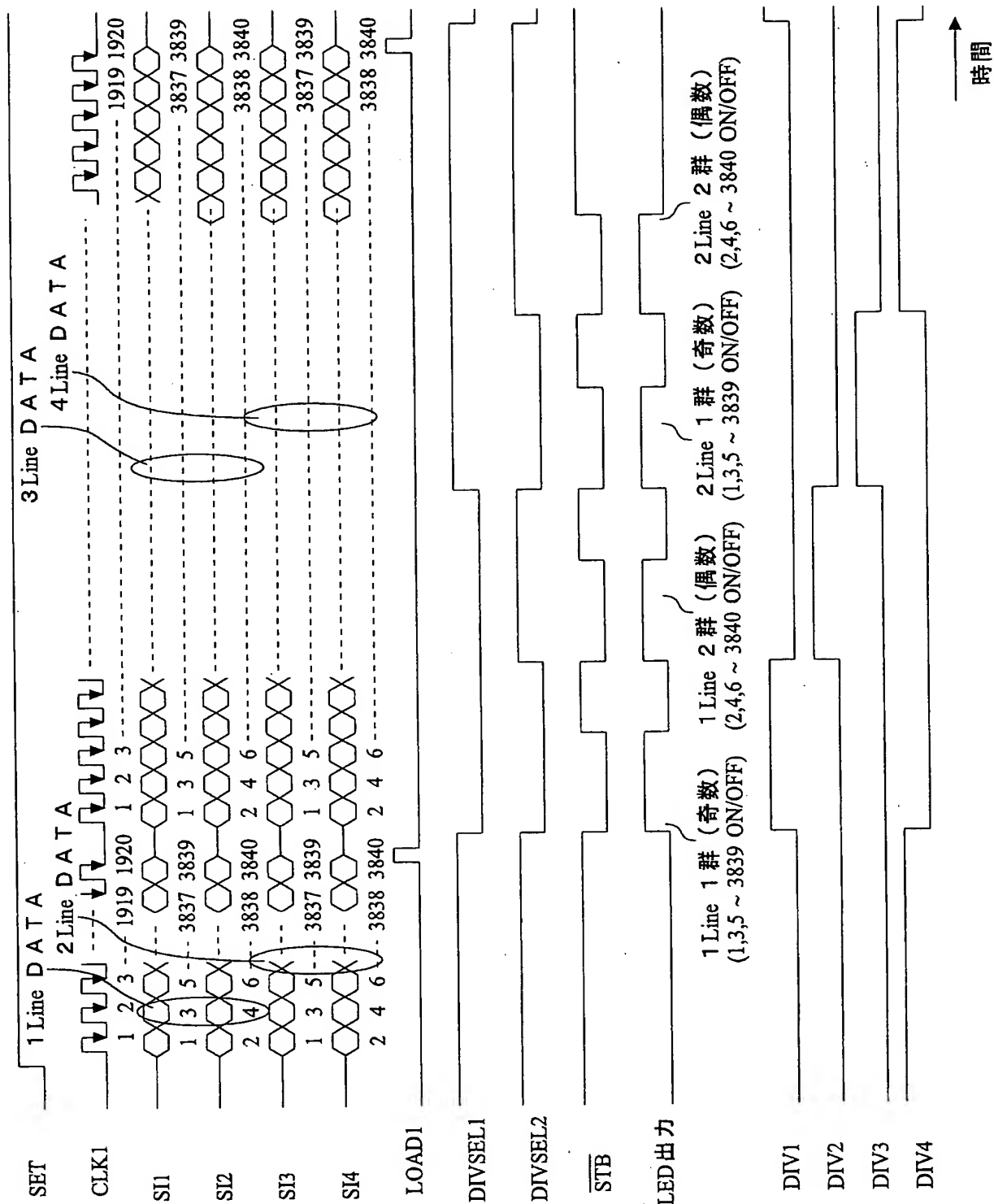
第 2 0 図



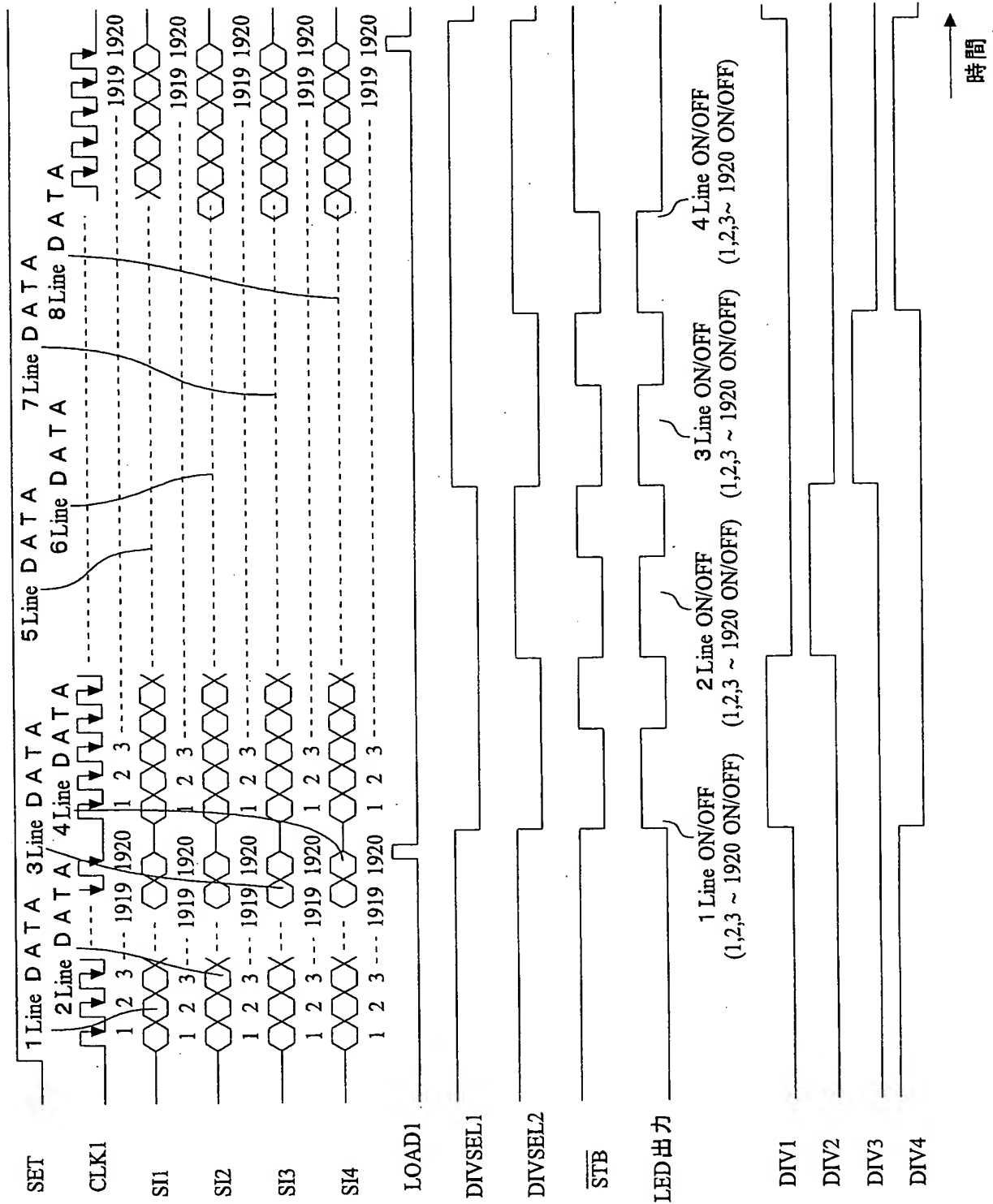
第 2 1 図



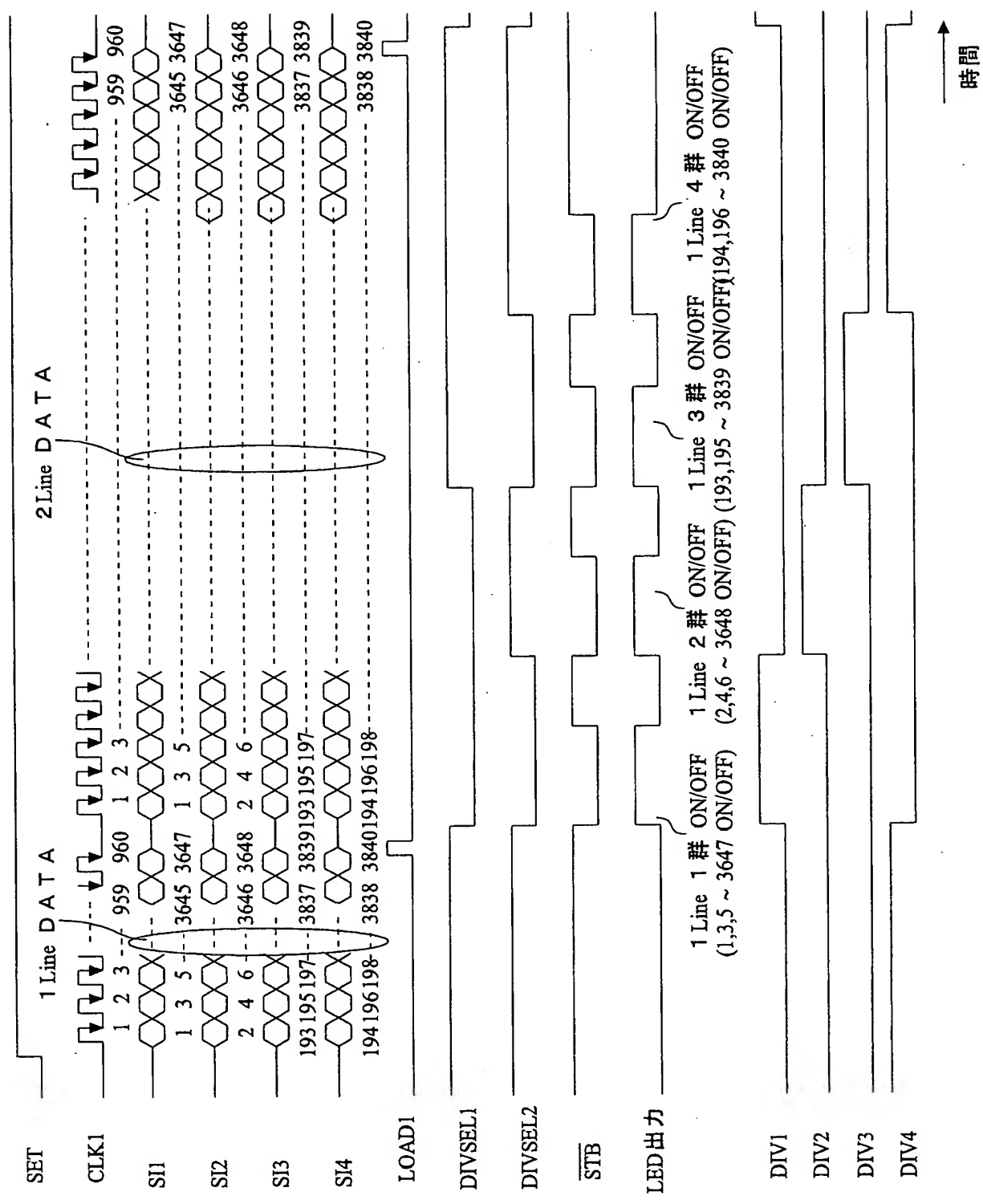
第 2 2 図



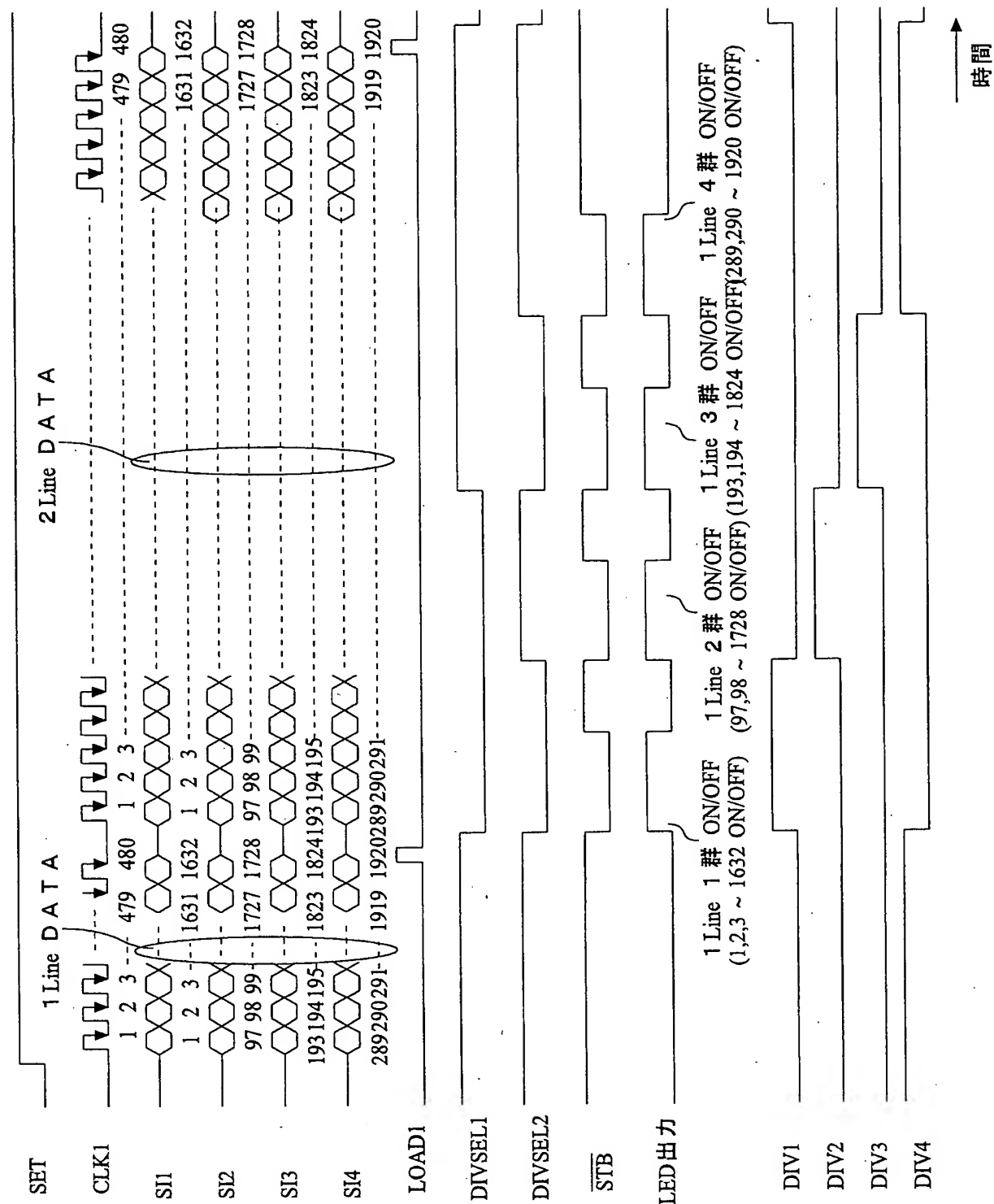
第 2 3 図



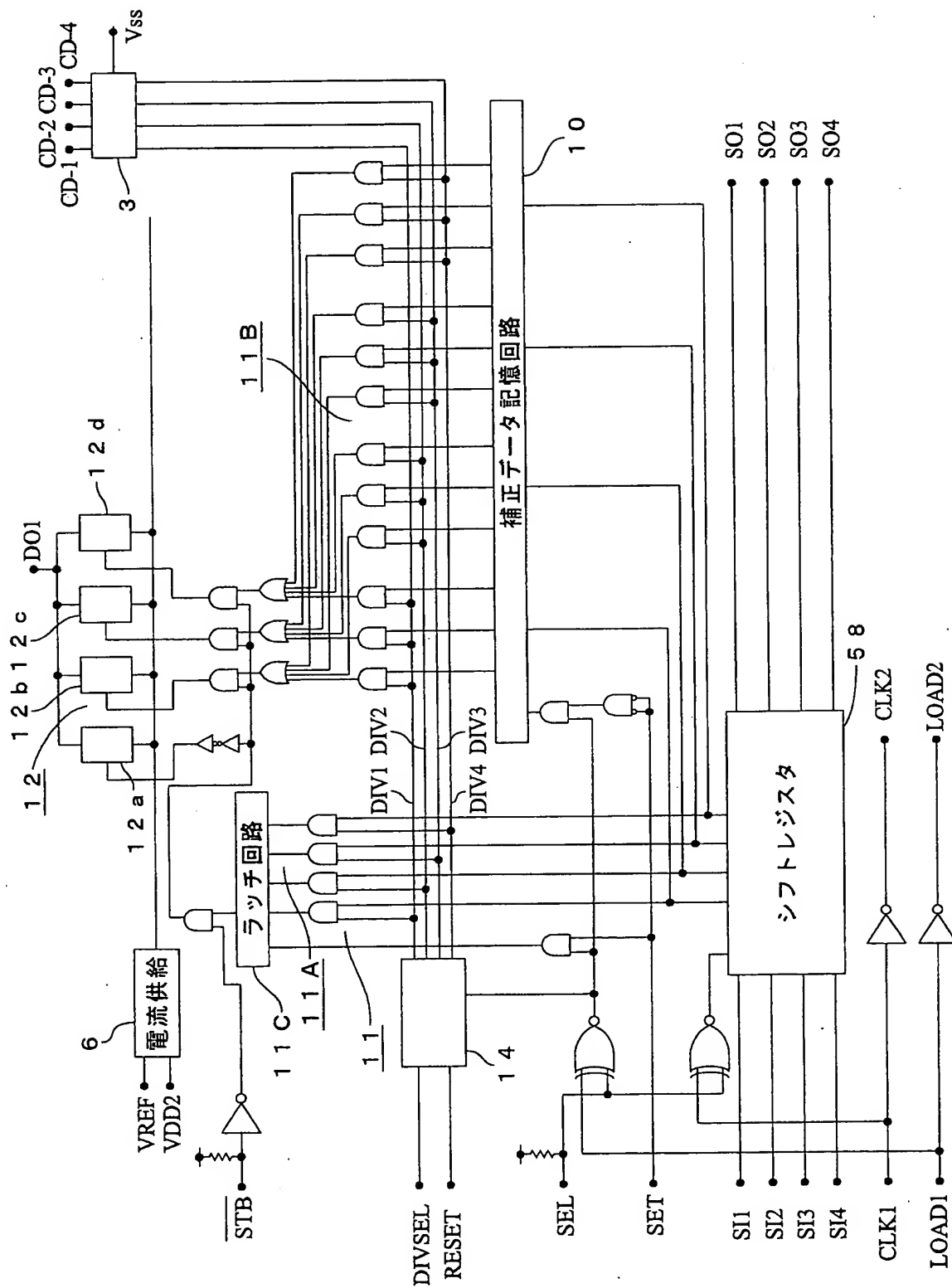
第 2 4 図



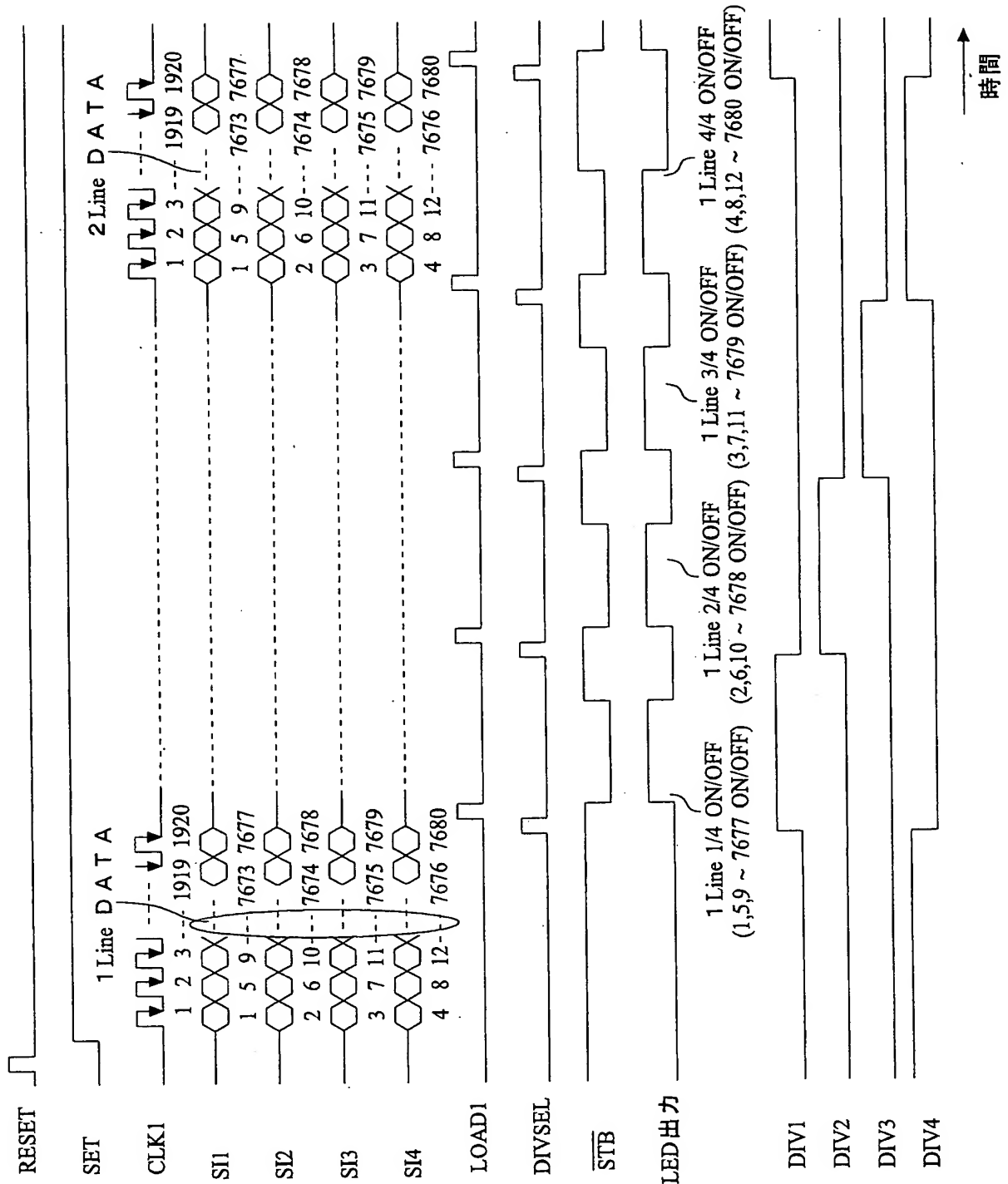
第 2 5 図



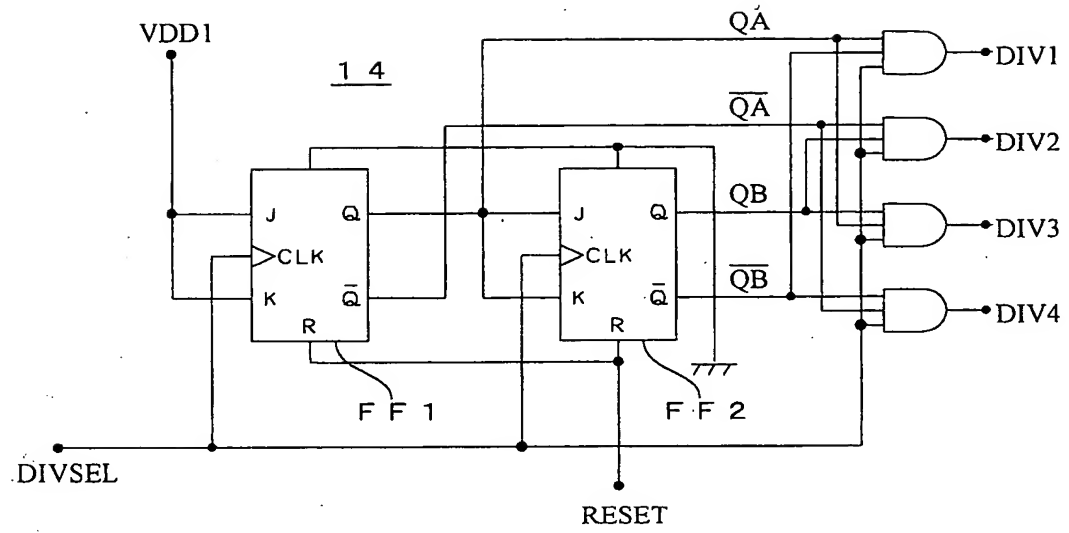
第 2 6 図



第 2 7 図



第 28 図



THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月29日 (29.03.2001)

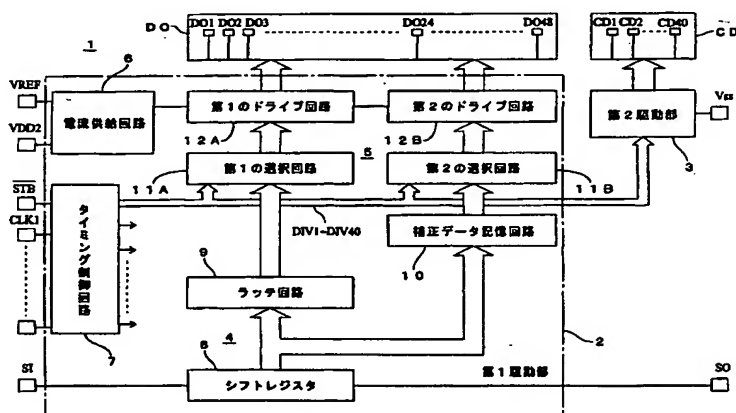
PCT

(10) 国際公開番号
WO 01/21411 A1

- (51) 国際特許分類⁷: B41J 2/45 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/06333 (75) 発明者/出願人 (米国についてのみ): 尾前充弘 (OMAE, Mitsuhiro) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内 Tottori (JP).
(22) 国際出願日: 2000年9月14日 (14.09.2000)
(25) 国際出願の言語: 日本語 (74) 代理人: 弁理士 佐野静夫 (SANO, Shizuo); 〒540-0032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: (81) 指定国 (国内): CN, IL, KR, US.
特願平11/265904 1999年9月20日 (20.09.1999) JP
特願平11/294069 1999年10月15日 (15.10.1999) JP
(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-0083 大阪府守口市京阪本通2丁目5番5号 Osaka (JP). 鳥取三洋電機株式会社 (TOTTORI SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 Tottori (JP).
添付公開書類:
— 国際調査報告書
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DRIVING IC AND OPTICAL PRINT HEAD

(54) 発明の名称: 駆動用IC及び光プリントヘッド



(57) Abstract: An optical print head comprising a light-emitting device (22) having n individual electrodes (28), p common electrodes (27) and a plurality of ($n \times p$) light emitting parts (26) selected by these electrodes, and a driving IC (1) having individual electrodes and m group selecting terminals (CD1-CD40), characterized in that one driving IC is provided with a (q) of plurality light emitting elements (22), and the number q is determined by the number p of common electrodes (27), and the number m of the group-selecting terminals (CD).

- 6...CURRENT SUPPLY CIRCUIT
12A...FIRST DRIVE CIRCUIT
12B...SECOND DRIVE CIRCUIT
11A...FIRST SELECTING CIRCUIT
11B...SECOND SELECTING CIRCUIT
3...SECOND DRIVE SECTION
7...TIMING CONTROL CIRCUIT
9...LATCH CIRCUIT
8...SHIFT REGISTER
10...CORRECTION DATA STORAGE CIRCUIT
2...FIRST DRIVE SECTION



(57) 要約:

n 個の個別電極 2 8 と p 個の共通電極 2 7 とこれらによって選択される複数 ($n \times p$) の発光部 2 6 とを備える発光素子 2 2 と、個別電極並びに m 個の群選択用端子 C D 1 ~ C D 4 0 を備えた駆動用の I C 1 とを備え、前記発光素子 2 2 は、1 つの前記駆動用 I C に対して複数 (q) 設けられ、その数 (q) は、発光素子 2 2 の共通電極 2 7 の数 (p) と前記駆動用 I C 1 の群選択用端子 C D の数 (m) で定められることを特徴とする。

明細書

駆動用 IC 及び光プリントヘッド

技術分野

本発明は、プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるように構成された発光素子を駆動するための新規な駆動用 IC とそれを用いた光プリントヘッドに関する。

背景技術

従来の光プリントヘッドにおいて用いられる発光素子（アレイ）は、実公平 6-48887 号公報に示すように、複数の発光部に 1 対 1 で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているので、1 つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用 IC との接続が困難になるという問題があった。

このような問題を解決するために、特開平 6-163980 号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を 2～3 の群 p に分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属する p 個の発光部に接続した個別電極を n 個設けることによって $p \times n$ 個の発光部を備える発光素子が提案されている。この発光素子によれば、 p 本の共通電極を時分割的に選択することによって個別電極の数を従来の $1/p$ に削減することができるので、駆動用 IC との接続を容易にすることができる。

このような発光素子を従来と同様の駆動用 IC を用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用 IC の開発が望まれている。

そこで本出願人は、上記の点を考慮した駆動用 IC について、特開平 10-2

2 2 6 1 0 2 号公報にて提案しているが、この公報に示された構成では、時分割駆動のためにデータの入力順序を変更する処理を必要とするので、データ処理が複雑化するという問題があった。また、発光素子と同数の駆動用 I C を必要とするので、駆動用 I C の数が多く、高価であるという問題も有している。また、この駆動用 I C は、解像度が異なる発光素子にも適用しようとする際、データ処理が複雑化するという問題が有った。

発明の開示

本発明は、時分割駆動に対応した発光素子を駆動するに適した汎用性の駆動用 I C を提供することを目的とする。また、本発明は、解像度が異なる複数種類の発光素子に対応可能な駆動用 I C を提供することを目的とする。また、本発明は、データの入力を高速に行うことができる駆動用 I C を提供することを目的とする。

本発明では、光プリントヘッドが、 $n \times p$ 個の発光部と、前記発光部の一方の端子と p 個毎に接続された n 個の第 1 電極と、前記発光部の他方の端子と n 個毎に接続された p 個の第 2 電極と、を備えとともに、前記第 1 及び第 2 電極が選択されることによって前記発光部が選択される発光素子と、前記発光素子の第 1 電極に接続される n 個の第 1 出力端子と、前記発光素子の第 2 電極に接続される m 個の第 2 出力端子と、を備える駆動用 I C 装置と、を有し、前記発光素子が、1 つの前記駆動用 I C 装置に対して、 q 個設けられるとともに、この前記発光素子が設けられる個数 q が、前記発光素子の第 2 電極の個数 p と前記駆動用 I C 装置の第 2 出力端子の個数 m によって定められるようにしている。

また、本発明では、一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第 1 出力端子のそれぞれに m 個の発光部の一方の端子が接続されるとともに、前記第 1 出力端子に接続された第 1 駆動部を有する駆動用 I C 装置において、前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備えるようにしている。

また、本発明では、複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用 IC 装置と、を備えた光プリントヘッドにおいて、前記発光素子が、 n 個の第 1 電極のそれぞれに複数個の発光部の一方の端子が接続され、そして、前記駆動用 IC 装置が、前記発光素子の第 1 電極にそれぞれ接続される n 個の第 1 出力端子と、第 1 出力端子から前記駆動電流を出力する第 1 駆動部と、を備えるとともに、前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備えるようにしている。

図面の簡単な説明

第 1 図は本発明の第 1 及び第 2 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 2 図は第 1 及び第 2 の実施形態の要部を示す回路ブロック図であり、

第 3 図は第 1 及び第 2 の実施形態のタイミングチャートであり、

第 4 図は第 1 の実施形態に係る光プリントヘッドの要部平面図であり、

第 5 図は同実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 6 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 7 図は第 1 及び第 2 の実施形態に係る光プリントヘッドの回路ブロック図であり、

第 8 図は第 2 の実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 9 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 10 図は第 3 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 11 図は同実施形態の駆動用 IC の要部を示す回路ブロック図であり、

第 12 図は同実施形態の要部（分割タイミング信号発生回路）を示す回路図であり、

第 13 図は同実施形態のタイミングチャートであり、

第 14 図は同実施形態に係る光プリントヘッドの要部平面図であり、

第 15 図は同実施形態に係る光プリントヘッドの回路ブロック図であり、

第 16 図は同実施形態の特徴部を概略的に示す概略構成図であり、

第 17 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 18 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 19 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 20 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 21 図は同実施形態とは別の形態の発光素子に適用したときの特徴部を概略的に示す概略構成図であり、

第 22 図は第 17 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 23 図は第 19 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 24 図は第 20 図の光プリントヘッドの動作を示すタイミングチャートであり、

第 25 図は第 21 図の光プリントヘッドの動作を示すタイミングチャートである。

第 26 図は第 4 の実施形態の駆動用 IC の要部を示す回路ブロック図であり、

第 27 図は同実施形態のタイミングチャートである。

第 28 図は同実施形態の要部（分割タイミング信号発生回路）を示す回路図である。

発明を実施するための最良の形態

以下本発明の実施形態を図面を参照して説明する。

< 第 1 の実施形態 >

第 1 図は、第 1 及び第 2 の実施形態の駆動用 IC の基本的な構成を示す回路ブ

ロック図である。第2図は、第1図に示す回路ブロック図のうち、複数ある出力端子DO1～DO48の1つの出力端子DO1に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

駆動用IC1は、第1図に示すように、素子駆動用（後述する個別電極28用）の複数個（ n ）の出力端子DO1～DO48で構成された個別端子部DOと、各出力端子DO1～DO48と接続され、これらに対して駆動信号としての所定の電流出力を与える第1駆動部2と、群選択用（後述する共通電極27用）の複数（ m ）個の出力端子CD1～CD40で構成された共通端子部CDと、各出力端子CD1～CD40と接続され、これらを選択的に一方の電源電位、例えば接地電位VSSに切り替える第2駆動部3を備えている。以下、図示のごとく、 $n = 48$ 、 $m = 40$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。

第1駆動部2は、データ入力端子SIから順次与えられるシリアル入力データ信号を一時的に記憶するデータ信号記憶回路4と、このデータ信号記憶回路4から出力されたデータ信号に基づき上記各出力端子DO1～DO48に駆動信号を出力する駆動回路5と、この駆動回路5に定電流を供給する電流供給回路6と、この第1駆動部2並びに第2駆動部3の各部に所定のタイミング信号を供給するタイミング制御回路7とを備えている。

データ信号記憶回路4は、データ入力端子SIからシリアル入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SOからシリアル出力する $n \times m$ （1920）ビット構成のシフトレジスタ8と、このシフトレジスタ8に取り込まれたデータ信号を、ロード信号LOAD1に基づいて並列に取り込む $n \times m$ （1920）ビット構成のラッチ回路9とを備えている。シフトレジスタ8から並列に出力される $n \times m$ （1920）個のデータ信号はラッチ回路9を介さないで記憶回路10に供給することもできるようにしている。

尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ8やラッチ回路9等の構成を変更することもでき、例えば、シフトレジスタ8をアドレス指定方式のメモリで構成しても良い。

駆動回路5は、ラッチ回路9が出力する $n \times m$ （1920）個のデータ信号か

ら、 n 個単位にデータ信号を順次選択して出力する第 1 の選択回路 11 A と、この第 1 の選択回路 11 A の出力に基づいて前記出力端子 DO1 ~ DO48 を介して一定の電流を出力する n (48) ビット構成の第 1 のドライブ回路 12 A を基本的な構成として備えている。駆動回路 5 は、この基本構成に加えて、必要に応じて、出力電流（光量）の補正に対応するための補正データを $n \times m$ (1920) 個記憶するための補正データ記憶回路 10 と、この補正データ記憶回路 10 から出力される $n \times m$ (1920) 個の補正データ信号から、 n 個単位に補正データ信号を順次選択して出力する補正データ用の第 2 の選択回路 11 B と、この補正データ用の選択回路 11 B の出力に基づいて増加減した電流値の出力を前記出力端子 DO1 ~ DO48 を介して駆動信号として出力する n (48) ビット構成の補正用の第 2 のドライブ回路 12 B を備える。

記憶回路 10 は、複数 (S) ビット（例えば 3 ビット構成）で構成される補正データを $n \times m$ (1920) 個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路 10 に対する補正データの書き込みは、シフトレジスタ 8 から並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

補正データ記憶回路 10 の書き込みは、前もって行うことができる。すなわち、記憶回路 10 のみを書き込み状態としてシフトレジスタ 8 を介して補正データの各ビットを記憶する作業を S 回 (3 回) 繰り返すことによって行うことができる。

ドライブ回路 12 は、第 2 図に示すように、1 つの出力端子 DO1 に対してそれぞれ電流出力が異なる複数（この例では 4 つ）の電流増幅器 12 a ~ 12 d を 1 組として、それを個別端子部 DO の出力端子と同数（この例では 48）備えて構成されている。電流供給回路 6 から電流が供給される 4 つの電流増幅器 12 a ~ 12 d は、個々にその作業状態を制御することによって、合計出力電流を 4 mA をベースとして 3 ~ 5 mA 程度の範囲で変更できるようにしている。

選択回路 11 は、時分割駆動を行うために前記ラッチ回路 9 や補正データ記憶回路 10 に記憶された $n \times m$ 個分のデータや補正データを、 n 個単位に選択して m 回取り出すための回路で、複数の論理ゲート回路によって構成されている。この選択回路 11 は、タイミング制御回路 7 の一部を構成する分割タイミング信号

発生回路 14 によってゲートの開閉が制御される。

この分割タイミング信号発生回路 14 は、第 3 図に波形を示すように、時分割のタイミングを規定するように外部から少数（この例では 1 本）の信号線を介して供給される制御信号 $DIVSEL$ に基づいて、 m 種類の分割タイミング信号 $DIV1 \sim DIV40$ を生成するための回路で、例えばカウンタによって構成することができる。分割タイミング信号発生回路 14 は、カウンタ以外にも、所定ビットの 2 進数から成る制御信号 $DIVSEL$ に基づいて m 種類の分割タイミング信号 $DIV1 \sim DIV40$ を生成するデコーダ等によって構成することもできる。このように、分割タイミング発生回路 14 は 1 つあるいは少数の制御信号 $DIVSEL$ に基づいて m （40 種類）の分割タイミング信号（ $DIV1 \sim DIV40$ ）を生成する。すなわち、分割タイミング信号の数よりも少数の信号線を用いて制御信号 $DIVSEL$ を供給するので、外部と接続する制御信号の端子の数を削減して IC の小型化を図ることができるとともに、ワイヤボンダ配線などの外部配線数を削減することができる。

尚、分割タイミング信号発生回路 14 は、1 ライン分のデータ信号の入力に同期してリセットすることができ、リセット信号 $RESET$ を利用してのリセットの他にも、前記ロード信号 $LOAD1$ を利用してリセットを行うことができる。

次に、第 2 図を参照して 1 つの出力端子 $DO1$ を中心にデータの流れについて説明する。ラッチ回路 9 に記憶された 1 つの IC 分のデータ（1920 個のオン／オフデータ）は、分割タイミング信号 $DIV1 \sim DIV40$ が順次 H レベルに切り替わることによって、その分割タイミング信号 $DIV1 \sim DIV40$ とラッチ回路 9 に接続された第 1 の選択回路 11A における 40 個のアンドゲート回路が順次 1 つずつ開き、その開いたアンドゲート回路を通して選択的に出力される。また、補正データ記憶回路 10 に記憶された 3 ビット構成の補正データも同様に、分割タイミング信号 $DIV1 \sim DIV40$ が順次 H レベルに切り替わることによって第 2 の選択回路 11B における 3 個 1 組のアンドゲート回路（この例では 40 組で構成される）が開く結果、その開いている 1 組のアンドゲート回路を通して選択的に出力される。補正データ記憶回路 10 の出力は、ドライブ回路 12 に供給され、ラッチ回路 9 から第 1 の選択回路 11A を通して与えられたデータと

協働して3つの電流増幅器12b~12dを選択的に動作させる。

次に、第2駆動部3について説明する。第2駆動部3は、出力端子CD1~CD40の1つを選択的に接地電位VSSに切り替えるための回路で、前記分割タイミング信号DIV1~DIV40によって切り替える構成としているが、前記分割タイミング信号DIV1~DIV40に同期した他の信号を用いて切り替える構成とすることもできる。

駆動用IC1は、第5図に示すように、端子DO1~DO48を一辺に配列し、端子CD1~CD40を対向する2辺に半分ずつに区分けして配列し、データ用、クロック用、電源用等の残りの端子を残りの辺に配置することにより、類似の機能を持つ端子同士を1つの辺に集めている。端子DO1~DO48は、150DPI(DOT/INCH)前後の密度で配置している。この配置密度は、後述する基板21に形成する微細配線パターンの限界密度に基づいて設定されている。すなわち、基板21に形成する第1、第2の配線23-1, 23-2の配線パターン密度が150DPI程度に設定されているので、この値とほぼ同じ密度に設定している。

第4図は、上記の駆動用IC1を備えて構成した光プリントヘッド20を示す概略的な要部平面図である。この光プリントヘッド20は、絶縁性基板21の上に複数(この例ではL=20個)の発光素子22を一行に配列し、この発光素子22の片側に、発光素子22の数よりも少数の駆動用IC1を一行に配列している。駆動用IC1は、所定数q(この例では5個)の発光素子22に1つの割合で配置し、これら駆動用IC1とそれに対応したq個の発光素子22が1つのブロック(b)をつくる。そして、このブロックが基板21の長手方向に沿って複数(この例ではb=4)ブロック配列されて光プリントヘッド20を構成する。

発光素子22と駆動用IC1間には、両者を接続するための配線23が施される。配線23は、駆動用IC1の出力端子DO1~DO48に一端を接続し、他端を同一ブロック内の各発光素子22の個別電極に共通接続するマルチプレクス用の第1の配線23-1と、駆動用IC1の群選択用の出力端子CD1~CD40に一端を接続し、他端を同一ブロック内の各発光素子22の共通電極に選択的に接続する第2の配線23-2によって構成している。第1の配線23-1は、

基板 2 1 に多層配線したマルチプレクス用の配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンダ線とで構成している。第 2 の配線 2 3 - 2 も、基板 2 1 に多層配線した配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンダ線とで構成している。第 1 の配線 2 3 - 1 及び第 2 の配線 2 3 - 2 の配線パターンの発光素子 2 2 の配列長と同じ程度の長さを持つ配線は、発光素子 2 2 の列の両側に区分けして別々に配置している。このようにすることにより、後述する複数個の発光素子 2 2 とのワイヤボンダ配線を行い易くすることができる。

発光素子 2 2 の列の両側に区分けして別々に基板 2 1 に配置した配線 2 3 のパターンは、第 1 の配線 2 3 - 1 よりも第 2 の配線 2 3 - 2 の方が配線数は少ないが、1 本当たりのパターン幅とその間隔が第 2 の配線 2 3 - 2 の方が広いので、第 2 の配線 2 3 - 2 側のパターンの総幅が第 1 の配線 2 3 - 1 側よりも広がっている。このように、駆動用 I C 1 と発光素子 2 2 間を接続するとともに、発光素子 2 2 の両側に区分けして配置された配線 2 3 - 1, 2 3 - 2 のパターンについて、総幅の広い方を一方の側に、狭い方を駆動用 I C 1 と共に他方に配置しているので、発光素子 2 2 を基板 2 1 の幅方向の中央寄りに配置することができる。発光素子 2 2 の列を基板 2 1 の幅方向の中央寄りに配置することにより、発光素子 2 2 の配列直線性（特に、基板 2 1 に硝子エポキシ製のものを用いた場合）を高めることができるなど、光学的特性を向上させることができる。

基板 2 1 は、硝子エポキシ製の基板の他に、セラミック製、絶縁金属製の基板等を用いることができるが、この例では、多層配線化、長尺化が容易で、しかも低価格な硝子エポキシ製の基板を用いている。硝子エポキシ製、セラミック製、金属製の何れの基板を用いても、現状では同一面上に 1 5 0 D P I 程度の微細配線を形成するのが限界である。尚、配線 2 3 としては、基板 2 1 の多層配線と金線等のワイヤボンダ線との組み合わせの他に、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造等を用いることもできる。

基板 2 1 の上には、前記配線 2 3 とは別に、信号用、電力供給用の複数本の配線パターン 2 4 を発光素子 2 2 の配列方向に沿って延びるように形成している。この配線の中には、隣接する駆動用 I C 1 の端子間でデータ信号等の授受を行う

ためのカスケード接続用配線を備えている。また、駆動用 I C 1 と配線パターン 2 4 の間には、金線で構成したワイヤボンダ配線 2 5 を設けている。

発光素子 2 2 は、その上面に複数 ($p \times n = 384$) 個の発光部 2 6 を、その長手方向に沿って 1200 D P I 程度の配列密度で配列している。そして、この複数の発光部 2 6 は、時分割駆動できるようにそれぞれが独立して形成されており、 n 個の発光部 2 6 からなる群を単位に駆動できるように、複数 (p) の群に区分けしている。この例では、発光部 2 6 の 1, 9, 17 番目を第 1 の群、2, 10, 18 番目を第 2 の群というように、発光部 2 6 の配置順序を示す番号を分割数 p (8) で割った場合の余りの数に基づいて 8 つの群に区分けした場合を例示している。

そして、発光素子 2 2 は、第 6 図に示すように、第 1 の群に属する発光部 2 6 に共通配線した共通電極 2 7 - 1 と、第 2 の群に属する発光部 2 6 に共通配線した共通電極 2 7 - 2、…、並びに共通電極 2 7 - 8 の 8 個の共通電極 2 7 を設けるとともに、隣接する 8 つの発光部 2 6 に接続した n (48) 個の個別電極 2 8 を設けている。共通電極 2 7 は、基板 2 1 の最高配線密度 (150 D P I) よりも低密度である 25 D P I 程度の密度で配列しているが、個別電極 2 8 は、基板 2 1 の最高配線密度 (150 D P I) と同じ程度の配置密度を保つように、150 D P I 程度の密度で配列している。共通電極 2 7 と個別電極 2 8 は、発光素子 2 2 の表面に形成する多層配線の層数を削減するために、発光部 2 6 の両側に区分けし、発光素子 2 2 の長手方向に沿って配列している。

この発光素子 2 2 は、 p (8) 個の共通電極 2 7 と n (48) 個の個別電極 2 8 に各々接続したマトリックス状配線の交点部分に L E D から成る発光部 2 6 が位置する構造となっている。よって、 n 個の個別電極 2 8 にデータ信号を与え、共通電極 2 7 の 1 つを選択することにより、 n 個の発光部 2 6 を同時に駆動することができ、これを p 回繰り返すことにより、1 つの発光素子 2 2 の駆動を行うことができる。

個別電極 2 8 は、第 1 配線 2 3 - 1 を介して、それぞれ駆動用 I C 1 の出力端子 D O 1 ~ D O 48 に接続され、共通電極 2 7 は、第 2 配線 2 3 - 2 を介して、出力端子 C D 1 ~ C D 40 の内、8 個の端子に選択的に接続される。

第7図に示すように、1つのブロックを構成する1つの駆動用IC1と、それに対応するq個（この例では5個）の発光素子22は、駆動用IC1の出力端子DO1～DO48がq個の発光素子22の個別電極28に共通に接続されるように第1配線23-1を介して接続されている。駆動用IC1の出力端子CD1～CD40は、q（5）個の発光素子22の各共通電極27に第2の配線23-2を介して個別に接続されている。

そして、駆動用IC1の群選択用端子CD1～CD40の1つを選択し、端子DO1～DO48に所定の信号を与えれば、q個の発光素子22の1つが選択され、その素子の発光部26を8分の1ずつ時分割で発光させることができる。したがって、これらを40回繰り返して全ての群選択用端子を選択することにより、1つのブロックの全ての発光部26を選択的に発光させることができる。

尚、1つのブロック内の発光素子22はq個（5個）で、これが4ブロックあるので、ヘッド20全体の発光部26の数は、 $b \times q \times p \times n = 4 \times 5 \times 8 \times 48 = 7680$ 個となる。

次に、第1の実施形態の駆動用IC1の動作を含めた上記光プリントヘッド20の動作について、第1図、第2図に加えて、第3図に示すタイミングチャートを参照して説明する。

尚、記憶回路10に記憶すべき補正データは、発光素子22の各発光部26の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、既に記憶回路10に記憶されているものとする。

まず始めにリセット信号RESETが供給され、これによって各部が初期状態に設定される。続いて、設定信号SETがLレベルからHレベルに切り替えられる。その結果、記憶回路10への書き込みが禁止された状態となる。

端に位置する駆動用IC1のデータ入力端子SIに1ライン分のデータ信号（7680個）が順次与えられ、これがクロック信号CLK1に同期して順次駆動用IC1のシフトレジスタ8に取り込まれる。所定数のデータ取り込みが終わると、データ出力端子SOを介して、カスケード接続された隣のICのシフトレジスタ8にデータ信号が順次与えられる。

1ライン分のデータ信号の取り込みが終わり、全ての駆動用IC1のシフトレ

ジスタ 8 にデータが蓄えられると、次に、ロード信号 $LOAD\ 1$ が、所定時間 H レベルに保持され、各駆動用 $IC\ 1$ のシフトレジスタ 8 に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号 $LOAD\ 1$ の立ち下がり時点でラッチ回路 9 が選択（ラッチ）されるので、シフトレジスタ 8 に取り込まれた $n \times m$ 個のデータ信号がラッチ回路 9 に入力されて記憶される。

ロード信号 $LOAD\ 1$ が H レベルから L レベルに切り替わった直後に、外部から供給される分割タイミング用の信号 $DIVSEL$ に基づいて、分割タイミング信号は正解路 14 が分割タイミング信号 $DIV\ 1 \sim DIV\ 40$ を選択的に L レベルから H レベルに切り替える。このタイミング期間内に、ストロブ信号（反転 STB ）が H レベルから所定期間 L レベルに保持される。

この分割タイミング信号 $DIV\ 1 \sim DIV\ 40$ の切り替わりによって、選択回路 11 がラッチ回路 9 や記憶回路 10 から選択して出力するデータ信号の位置が順次切り替わる。例えば、分割タイミング信号 $DIV\ 1$ によって、1 番目、9 番目、…のデータが選択される。分割タイミング信号 $DIV\ 2$ によって、2 番目、10 番目、…データが選択される。

これらのデータ（必要に応じて 3 ビットの補正データが付加される）がドライブ回路 12 に与えられる。ドライブ回路 12 は、データ信号やそれに付加された補正データに基づいて、4 つの電流増幅器 $12\ a \sim 12\ d$ を選択的に作動させてその出力電流を個別端子部 DO 内の出力端子を介して発光素子 22 の各個別電極 28 に供給する。

全ての発光素子 22 の個別電極 28 にデータ信号や補正データに応じた電流が供給可能な状態となるが、群選択端子によって選択された n 個の発光部 26 のみが共通電極 27 を介して接地されているので、この例では各ブロックで 1 つの発光素子 22 が選択され、その内の 8 個置き of 発光部 26 のみが選択的に発光する。

上記のような、同一ブロックに属する 1 つの発光素子 22 を所定回数に分けて分割駆動し、それを発光素子 22 の数だけ繰り返す時分割駆動（ $p \times q = m$ 分割）によって 1 つのブロック内での選択的な発光を行い、これを複数のブロックで同時に行うことにより、1 ラインの発光を行うことができる。これを順次繰り返すことによって、静電写真型プリンター画面分の露光を行うことができる。

上記のように、素子内時分割駆動に対応した発光素子 22 を駆動するための各駆動用 IC1 が、群を単位とするタイミングに同期して動作する第 2 駆動部 3 を内蔵し、この駆動用 IC1 によって対応した発光素子 22 の時分割駆動を行う構成としているので、負荷の分散を図ることができる。よって、時分割駆動を行うための第 2 駆動部 3 に加わる最大負荷は、対応する発光素子 22 の 1 つの群に属する発光部 26 の数に基づき決定できる。その結果、従来のダイナミック駆動方式のように時分割駆動用（共通電極選択用）の専用 IC を用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を低減することができる。

そして、駆動用 IC1 は、複数の発光素子 22 を時分割駆動するので、発光素子 22 と時分割駆動用 IC を 1 対 1 の割合で配置する場合に比べて、内部回路数を削減することができる。特に、IC の中で半数以上の面積を占有するドライブ回路について、発光素子と時分割駆動用 IC を 1 対 1 の割合で配置する場合は $q \times n$ 必要であるが、上記構成では、 n 個に削減することができ、 q (5) 分の 1 の削減率を達成することができた。また、発光素子とスタティック駆動用 IC を 1 対 1 の割合で配置する場合は $p \times q \times n$ のドライブ回路が必要であるが、上記構成では n 個に削減することができ、 $p \times q$ (40) 分の 1 の大幅削減率を達成することができた。そして、駆動用 IC1 を従来のスタティック方式用の IC と同等の形状で構成することができるので、全体的な回路構成の小型化を達成することもできる。

また、時分割駆動を行う構成でありながら、スタティック方式と同じようにデータを順次入力することができるので、従来の時分割駆動に必要とされたデータの並び替えのための回路が不要となる。また、時分割数を増加させても、その分割数よりも少数の制御信号用の信号線を利用して時分割用のタイミング信号 DIV1 ~ DIV40 を発生させるようにしているので、IC の端子数や組立作業数の削減を図ることができる。

また、駆動用 IC1 は、時分割駆動に対応していながら、同じブロック内の発光素子全ての補正用データを記憶し、それを選択して出力することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデ

ータ信号の補正を容易に行うことができる。

尚、本実施形態は、上記のように1つの駆動用ICとそれに接続した複数の発光素子を1つのブロックとし、このブロックを発光素子の配列方向と同方向に複数配置した光プリントヘッドに好適であるが、これ以外にも適用可能であり、例えば、前記1つのブロックのみを基本構造とする光プリントヘッドやそれに類する印字装置に適用することもできる。

また、光プリントヘッドに要求される仕様などに応じて、上記駆動用ICに接続する発光素子の構成を変更することもできる。すなわち、発光素子22の個別電極数(n)は一定に保ち、発光素子22内の群の数(p)と1ブロック内の発光素子22の数(q)を、その積が駆動用IC1の群選択用端子の数(m)と同じになるように、適宜変更することができる。例えば、分割数(p)を5とした発光素子を8個並べて1つのブロックを構成することができる。また、分割数(p)を4とした発光素子を10個並べて1つのブロックを構成することもできる。このとき、発光部の配列密度が相違する発光素子22を選択することもできるので、駆動用ICの汎用性を高めることができる。

また、上記駆動用ICは、時分割数(m)が40に設定されているが、データ入力の仕方に工夫をすることにより、光プリントヘッドに要求される印字速度等に応じて、見かけ上の時分割数(実効的な時分割数)を変更することができる。例えば、高速の印字速度が要求され、それに応じて時分割数をmよりも小さな値kに変更する必要がある場合は、駆動用IC1に信号を供給するデータ処理回路側において、分割タイミング信号DIVの数を実質的にkに削減する処理を施せば良い。すなわち、分割タイミング信号発生回路14がアップカウンタ方式の場合は、分割数kを超えると、制御信号DIVSELのクロック周波数を大きくして残りのタイミング信号DIVk+1~DIV40を極短期間に発生させるとともに、ストローブ信号(反転STB)をHレベルに保持してその短縮期間のデータ印字を禁止するようにすることができる。また、分割タイミング信号発生回路14がデコード方式の場合は、データ処理回路から与える複数ビットの制御信号DIVSELに所望の分割数kに応じた変更を加えることによって、タイミング信号DIV1~DIVkのみを選択的に発生させれば良い。このようにして、駆

動用 I C 1 の時分割数 (m) に変更を加えて実質的な時分割数 (k) を例えば 16 に設定するとともに、この駆動用 I C 1 に第 6 図に示す発光素子 2 2 を 2 個接続してそれを 1 ブロックとし、これを 10 ブロック配置して 7680 個の発光部を備える光プリントヘッドを構成すると、第 3 図を参照して動作説明した時分割数 (m) が 40 の場合に比べて、印字速度を $40 / 16 = 2.5$ 倍に早めることができる。

印字速度を速める他の方法として、各発光部に流す電流値を大きくし発光出力を増加させる方式が知られている。しかしながら、電流値を増加させることができない場合、例えば、変更前の電流値が発光部の許容電流値に近い場合、発光部の通電寿命を延ばすために電流値を低く設定している場合などにおいては、上記のように実質的な時分割数を少なくして印字速度を高める方式を採用することが望ましい。

このようにすることによって、同一の駆動用 I C を用いながらも、プリントヘッドに要求される印字速度の変更に対して、実質的な分割数を変更することによる対応ができ、プリントヘッドの機能変更に対処することができる。

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。第 8 図は、本実施形態の光プリントヘッドを示す要部平面図であり、第 9 図は、本実施形態の発光素子を示す要部平面図である。尚、本実施形態において、駆動用 I C の構成については、第 1 の実施形態と同様、図 1 及び図 2 で表される構成であり、又、その動作についても第 2 の実施形態と同様、図 3 のタイミングチャートに従う。又、第 8 図及び第 9 図のそれぞれにおいて、第 5 図及び第 6 図のそれぞれと同一部分には、同一符号を付して説明を省略する。

駆動用 I C 1 と発光素子 2 2 との間に接続される配線は、第 1 の実施形態では、第 5 図のように、発光素子 2 2 の下側に第 1 の配線 2 3 - 1 が、発光素子 2 2 の上側に第 2 の配線 2 3 - 2 が設けられ、発光素子 2 2 の両側においてワイヤボンダで接続された構成となる。それに対して、本実施形態では、第 8 図のように、発光素子の 2 2 の下側に駆動用 I C 1 の群選択用の出力端子 C D 1 ~ C D 40 と接続された第 2 の配線 2 3 - 2 が、この第 2 の配線 2 3 - 2 の更に下側に駆動用

IC1の出力端子DO1～DO48と接続された第1の配線23-1が設けられ、発光素子22の片側においてワイヤボンド線で接続された構成となる。すなわち、第1の配線23-1及び第2の配線23-2の配線パターンの発光素子22の配列長と同じ程度の長さを持つ配線は、発光素子22の列の片側のみに区分けして配置している。

このように第1の配線23-1及び第2の配線23-2を介して駆動用IC1と電氣的に接続された発光素子22は、第1の実施形態と同様、その上面に複数($p \times n = 384$)個の発光部26を、その長手方向に沿って1200DPI程度の配列密度で配列している。又、この複数の発光部26は、時分割駆動できるようにそれぞれが独立して形成され、 n 個の発光部26から成る群を単位に駆動できるように、複数(p)の群に区分けしている。更に、本実施形態においても、第1の実施形態と同様、発光部26の配置順序を示す番号を分割数 p (8)で割った場合の余りの数に基づいて8つの群に区分けした場合を例示する。

この発光素子22は、第9図に示すように、第1の群に属する発光部26に共通配線した共通電極27-1と、第2の群に属する発光部26に共通配線した共通電極27-2、…、並びに共通電極27-8の8個の共通電極27を設けるとともに、隣接する8つの発光部26に接続した n (48)個の個別電極28を設けている。尚、第1の実施形態においては、共通電極27と個別電極28が、第6図のように、発光部26の両側に区分けし、発光素子22の長手方向に沿って配列されているのに対して、本実施形態では、発光部26の片側に、発光素子22の長手方向に沿って配列されている。

この発光素子22の構成、及び発光素子と第1の配線23-1及び第2の配線23-2との関係が第1の実施形態の場合と異なる以外は、第1の実施形態と同様の構成又は動作となるので、第1の実施形態を参照するものとして、その説明を省略する。

<第3の実施形態>

第10図は、第3の実施形態の駆動用ICの基本的な構成を示す回路ブロック図である。第11図は、第10図に示す回路ブロック図のうち、複数ある出力端子DO1～DO96の1つの出力端子DO1に関する部分を中心に抽出した要

部回路ブロック図である。まず、これらの図を中心に説明する。

第10図に示す駆動用IC1は、第1図の駆動用IC1と比べて、データ信号記憶回路54が、データ入力端子SI1～SI4からシリアルに入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SO1～SO4からシリアル出力する $n \times m$ ビット構成の多入力シフトレジスタ58を有する点が異なる。よって、第1図と同一部分には同一符号を付して説明を省略する。又、個別端子部DOが素子駆動用の複数個(n)の出力端子DO1～DO96で構成され、共通端子部CDが群選択用の複数(m)個の出力端子CD1～CD4で構成される。

以下、図示のごとく、 $n = 96$ 、 $m = 4$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。このように、 $n = 96$ 、 $m = 4$ とした時、シフトレジスタ58は384ビット構成となり、又、ラッチ回路9も、シフトレジスタ58に取り込まれたデータ信号を、ロード信号LOAD1に基づいて384ビット単位に並列に取り込むために、384ビット構成となっている。

駆動回路5において、選択回路11Aが、ラッチ回路9より出力される $n \times m$ (384)個のデータ信号から、 n 個単位にデータ信号を順次選択して出力するとともに、この選択回路11Aの出力に基づいて前記出力端子DO1～DO96を介して一定の電流を出力する第1のドライブ回路12Aが、 n (96)ビット構成となる。又、補正データ記憶回路10が、出力補正に対応するための補正データを $n \times m$ (384)個記憶するとともに、第2の選択回路11Bが、補正データ記憶回路10より出力される $n \times m$ (384)個の補正データ信号から、 n 個単位に補正データ信号を順次選択する。更に、この補正データ用の選択回路11Bの出力に基づいて増加減した電流値の出力を前記出力端子DO1～DO96を介して駆動信号として出力する補正用の第2のドライブ回路12Bが、 n (96)ビット構成となる。

記憶回路10は、第1の実施形態と同様、 S ビット(例えば3ビット構成)で構成される補正データを $n \times m$ (384)個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路10に対する補正データの書き込みは、シフトレジスタ58から

並列に供給される $n \times m$ 個単位の信号に基づいて行われるようになっている。

分割タイミング信号発生回路 14 は、第 1 の実施形態と異なり、図 12 の回路図及び表 1 の真理値表に示すように、時分割のタイミングを規定するように外部から供給される制御信号の 1 つである外部信号 $DIVSEL1$ 、2 の 2 信号に基づいて、分割タイミング信号 ($DIV1 \sim DIV4$) を生成する。

表 1

$DIVSEL1$	$DIVSEL2$	選択
H	H	$DIV4$
H	L	$DIV3$
L	H	$DIV2$
L	L	$DIV1$

次に、第 11 図を参照して 1 つの出力端子 $DO1$ を中心にデータの流れについて説明する。ラッチ回路 9 に記憶された 1 つの $IC1$ 分のデータ (384 個のオン/オフデータ) は、分割タイミング信号 $DIV1 \sim DIV4$ が順次 H レベルに切り替わることによって、その分割タイミング信号 $DIV1 \sim DIV4$ とラッチ回路 9 に接続された第 1 の選択回路 11A における 4 つのアンドゲート回路が順次 1 つずつ開き、その開いたアンドゲート回路を通して選択的に出力される。第 11 図に示す例では、1 つの IC 内部の 1 から 4 番目のデータが順次ドライブ回路 12 の駆動に用いられる。また、補正データ記憶回路 10 に記憶された 3 ビット構成の補正データも同様に、分割タイミング信号 $DIV1 \sim DIV4$ が順次 H レベルに切り替わることによって第 2 の選択回路 11B における 3 個 1 組のアンドゲート回路が開く結果、その開いている 1 組のアンドゲート回路を通して選択的に出力される。補正データ記憶回路 10 の出力は、ドライブ回路 12 に供給され、ラッチ回路 9 から第 1 の選択回路 11A を通して与えられたデータと協働して 3 つの電流増幅器 12b ~ 12d を選択的に動作させる。

次に、第 2 駆動部 3 について説明する。第 2 駆動部 3 は、出力端子 $CD1 \sim CD4$ の 1 つを選択的に接地電位 VSS に切り替えるための回路で、前記分割タイミング信号 $DIV1 \sim DIV4$ に同期したタイミングによって切り替える構成と

しているが、前記選択回路 11 の選択タイミングに同期した他の信号を用いて切り替える構成とすることもできる。

第 14 図は、光プリントヘッド 20 の一例を示す要部平面図であり、駆動用 IC 1 としては第 3 及び第 4 の実施形態で説明する駆動用 IC が用いられる。この光プリントヘッド 20 は、絶縁性基板 21 の上に複数、例えば 20 個の発光素子 22 を一列に配列し、この発光素子 22 の片側に隣接させて駆動用 IC 1 を発光素子 22 と 1 対 1 で対応させて一列に配列している。この例では、駆動用 IC 1 を発光素子 22 の片側に配列しているが、駆動用 IC 1 を発光素子 22 の両側に配列する場合は、発光素子 22 と駆動用 IC 1 を 1 対 2 の対応関係で配列すれば良い。発光素子 22 と駆動用 IC 1 間には、両者を接続するための配線 23 が施される。配線 23 としては、金線等のワイヤボンド線による直接接続構造、中継用のパターンを介在したワイヤボンド線による間接的接続構造を用いることができるが、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造を用いることもできる。

基板 21 の上には、信号用、電力供給用の複数本の配線パターン 24 を発光素子 22 の配列方向に沿って形成している。駆動用 IC 1 と配線パターン 24 の間には、前記配線 23 と同様の配線 25 を設けている。

発光素子 22 は、その上面に複数 ($m \times n = 384$) 個の発光部 26 をその長手方向に沿って配列している。そして、この複数の発光部 26 は、時分割駆動できるようにそれぞれが独立して形成されており、群単位に時分割駆動できるように、複数 m の群に区分けしている。この例では、発光部 26 の 1、5、9 番目を第 1 の群、2、6、10 番目を第 2 の群、3、7、11 番目を第 3 の群、4、8、12 番目を第 4 の群というように、発光部 26 の配置順序を示す番号を 4 で割った場合の余りの数に基づいて 4 つの群に区分けした場合を例示している。

そして、発光素子 22 は、第 1 の群に属する発光部 26 に共通に接続した共通電極 27-1 と、第 2 の群に属する発光部 26 に共通に接続した共通電極 27-2、共通電極 27-3、並びに共通電極 27-4 の 4 本の共通電極 27 を設けるとともに、隣接する 4 つの発光部 26 に接続した n (96) 個の個別電極 28 を設けている。これらの個別電極 28 は、それぞれ駆動用 IC 1 の出力端子 DO1

～D O 9 6 に接続され、共通電極 2 7 は、出力端子 C D 1、C D 2、C D 3、C D 4 に接続される。そして、共通電極 2 7 を選択し、任意の個別電極 D O に通電させれば、発光部 2 6 の 4 分の 1 ずつが時分割で発光する。

尚、発光素子 2 2 は L 個（20 個）であるので、ヘッド 2 0 全体の発光部 2 6 の数は、 $L \times m \times n = 20 \times 4 \times 96 = 7680$ 個となる。

第 15 図は、光プリントヘッド 20 の回路ブロック図である。光プリントヘッド 20 には 20 個の発光素子 2 2 が一列に並ぶように配置されている。# を付した番号が光プリントヘッド 20 全体の発光部 2 6 の通し番号である。個別電極 2 8 はそれぞれ 4 つのグループの発光部 2 6 の 1 つずつ（そのアノード）に共通に接続され、それぞれの群に属する各発光部 2 6 のカソードはそれぞれ共通電極 2 7-1、2 7-2、2 7-3、2 7-4 に接続されている。個別電極 2 8 は駆動用 I C 1 の個別端子 D O 1 ～D O 9 6 に接続されている。共通電極 2 7-1、2 7-2、2 7-3、2 7-4 はそれぞれ出力端子 C D 1、C D 2、C D 3、C D 4 に接続されている。1 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 は 2 番目の駆動用 I C 1 のデータ出力端子 S O 1 ～S O 4 に接続されている。同様に、2 ～19 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 はそれぞれ 1 つ番数の大きい駆動用 I C 1 のデータ出力端子 S O 1 ～S O 4 に接続されている。そして、20 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 に外部からのデータ信号が入力される。各駆動用 I C 1 には、電源電圧 V D D 1 や外部信号 D I V S E L 1、2 やロード信号 L O A D 1 等が入力される。尚、第 15 図では、S I が S I 1 ～S I 4 を、S O が S O 1 ～S O 4 を表す。

次に、第 3 の実施形態の駆動用 I C 1 の動作を含めた上記光プリントヘッド 20 の動作について、第 10 図、第 11 図に加えて、第 15 図に示す光プリントヘッドの回路構成例、第 13 図に示すタイミングチャートを参照して説明する。尚、記憶回路 10 に記憶すべき補正データは、既に記憶回路 10 に記憶されているものとする。

まず、設定信号 S E T が L レベルから H レベルに切り替えられる。その結果、記憶回路 10 への書き込みが禁止された状態となる。

20 番目の駆動用 I C 1 のデータ入力端子 S I 1 ～S I 4 にデータ信号（7 6

80個)が r 個単位に順次与えられ、これがクロック信号CLK1に同期して順次各駆動用IC1の多入力シフトレジスタ58に取り込まれる。ここで、各データ入力端子S11~S14に与えられるデータ信号は、入力端子S11に1, 5, 9番目のデータ、入力端子S12に2, 6, 10番目のデータというように、予め発光素子の4つの群に対応した形態に振り分けられて入力される。1つの駆動用IC1のシフトレジスタ58への入力が終わると、その出力端子SO1~SO4を介して、隣に位置する駆動用IC1のシフトレジスタ58にデータ信号が与えられる。このように、データ信号を多入力するので、1入力の場合に比べてデータ入力の時間を大幅に短縮することができる。

1ライン分のデータ入力が終了すると、ロード信号LOAD1が、所定時間Hレベルに保持され、各駆動用IC1のシフトレジスタ8に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号LOAD1の立ち下がり時点でラッチ回路9が選択(ラッチ)されるので、シフトレジスタ8に取り込まれた $n \times m$ 個のデータ信号がラッチ回路9に入力されて記憶される。

ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、発光のタイミングを示す外部信号DIVSEL1, 2が共にLレベルに保持され、これに伴って分割タイミング信号発生回路14が出力する分割タイミング信号のDIV1のみがLレベルからHレベルに切り替わる。その直後に発光のタイミングを示す外部ストロブ信号(反転STB)がHレベルから所定期間Lレベルに保持され、その間に発光素子の選択的な発光が行われる。

外部信号DIVSEL1, 2の組み合わせを変更することにより、分割タイミング信号のDIV2のみがHレベルに切り替えることができ、同様に順次DIV3、DIV4のみがHレベルに切り替えることができる。

この分割タイミング信号DIV1~DIV4の切り替わりによって、選択回路11がラッチ回路9や記憶回路10から選択して出力するデータ信号の位置が順次切り替わる。例えば、分割タイミング信号DIV1によって、1番目、5番目、...7677番目のデータが選択され、分割タイミング信号DIV2によって、2番目、6番目、...7678番目のデータが選択される。

これらのデータ(必要に応じて3ビットの補正データが付加される)がドライ

ブ回路 12 に与えられる。ドライブ回路 12 は、データ信号やそれに付加された補正データに基づいて、4 つの電流増幅器 12 a ~ 12 d を選択的に作動させてその出力電流を出力端子 D O を介して発光素子 22 の各個別電極 28 に供給する。

全ての発光素子 22 の個別電極 28 にデータ信号や補正データに応じた電流が供給可能な状態となるが、4 分の 1 の発光部 26 のみが共通電極 27 を介して接地されているので、この例では 4 個置きの発光部 26 のみがストローク信号（反転 S T B）の L レベル期間に選択的に発光する。

上記のような、4 分の 1 ずつの切り替えによる時分割駆動によって 1 ライン分の選択的な発光を行い、これを順次繰り返すことによって、1 画面分の露光を行うことができる。

上記のように、時分割駆動を行う構成でありながら、1 ライン分のデータ信号を一度の処理作業で入力することができるので、従来の回路で行っていたような分割数と同じ回数にわたって繰り返しデータ信号を入力する処理が不要となる。特に、群の数（m）とデータ入力端子数（r）を同じに設定しているので、郡単位に予めデータを振り分けてデータ入力を行うことができ、データ入力処理等を容易に実行することができる。

また、本実施形態の駆動用 I C 1 は、1200 D P I 以外の解像度の発光素子を駆動する場合への適用も容易であるので、これらの例について第 16 図～第 21 図に示す概略的な構成図、第 22 図～第 25 図に示すタイミングチャートを参照して以下説明する。尚、第 16 図は、上述の光プリントヘッドの構成に対応した概略的な構成図である。

第 17 図には、発光素子として、共通電極数が 2（ $M=2$ ）、個別電極数が 96（ $N=96$ ）、解像度 600 D P I の発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子 22 として、第 14 図に示す前記発光素子 22 と外観形状は同等であるが、発光部 26 の配列密度が半分であるとともに、発光部 26 を奇数と偶数の 2 つの群（ $M=2$ ）に区分けした 2 分割タイプのものを用いている。駆動用 I C 1 は、2 つの入力 S I 1, S I 2 を使用することにより 1 ライン分のデータ入力を 1920 クロックで行い、残りの 2 つの入力 S I 3, S I 4 を使用することにより次の 1 ライン分のデータ入力を同時に

行うようにしている。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、第22図にタイミングを示すように、一度のデータ入力処理によって2ライン分のデータを取り込んだ後、分割タイミング信号DIV1によって、1ライン目の1群（奇数データ）を選択し、分割タイミング信号DIV2によって、1ライン目の2群（偶数データ）を選択し、分割タイミング信号DIV3によって、2ライン目の1群（奇数データ）を選択し、分割タイミング信号DIV4によって、2ライン目の2群（偶数データ）を選択することができる。

ここで、第18図に示すように、残りの2つの入力SI3, SI4を使用しなければ、1ライン分のデータのみを取り扱う構成とすることができる。このようにすることにより、1200DPI対応の駆動用IC1を600DPIの発光素子22の駆動に利用することができる。

第19図は、発光素子として300DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と外観形状は同等であるが、発光部26の配列密度が4分の1で群が1つ（M=1）の非分割タイプのものを用いている。駆動用IC1に入力するデータ信号を、4つの入力SI1～SI4を使用することにより、図23にタイミングを示すように、4ライン分のデータ入力を1920クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、1200DPI対応の駆動用IC1を300DPIの発光素子22の駆動に利用できるとともに、一度のデータ入力処理で4ライン分のデータ信号を入力することができるので、データ処理能力を高めて印字速度を速くすることができる。

第20図は、発光素子として600DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と同じ長さで、発光部26の配列密度が半分の600DPIで、2つの群（M=2）に区分けた2分割タイプのものを2つ用いている。

これらの発光素子は、発光素子の長手方向と同方向に配列され、駆動用 I C 1 とマルチプレクス配線を介して接続されている。駆動用 I C 1 は、図 2 4 にタイミングを示すように、その 1 つの入力 S I 1 を使用して一方の発光素子の奇数番目のデータ信号の入力を行い、次の入力 S I 2 を使用して一方の発光素子の偶数番目のデータ信号の入力を行い、次の入力 S I 3 を使用して他方の発光素子の奇数番目のデータ信号の入力を行い、次の入力 S I 4 を使用して他方の発光素子の偶数番目のデータ信号の入力を行うことで、1 ライン分のデータ入力を 9 6 0 クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド 2 0 (第 1 6 図) と同様である。このようにすることにより、1 2 0 0 D P I 対応の駆動用 I C 1 を 6 0 0 D P I の発光素子 2 2 の駆動に利用することができる。また、駆動用 I C と発光素子を 1 : 2 の関係を保った 1 つの単位 (ブロック) としてこれを基板 2 1 の長手方向に配列することができるので、駆動用 I C 数の削減を図ることができる。

第 2 1 図は、発光素子として 3 0 0 D P I の発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子 2 2 として、第 1 4 図に示す前記発光素子 2 2 と同じ長さで、発光部 2 6 の配列密度が 4 分の 1 の 3 0 0 D P I で群が 1 つ ($M=1$) の非分割タイプのものを 4 つ用いている。これらの発光素子は、発光素子の長手方向と同方向に配列され、駆動用 I C 1 とマルチプレクス配線を介して接続されている。駆動用 I C 1 は、図 2 5 にタイミングを示すように、その 1 つの入力 S I 1 を使用して第 1 の発光素子のデータ信号の入力を行い、次の入力 S I 2 を使用して第 2 の発光素子のデータ信号の入力を行い、次の入力 S I 3 を使用して第 3 の発光素子のデータ信号の入力を行い、次の入力 S I 4 を使用して第 4 の発光素子のデータ信号の入力を行うことで、1 ライン分のデータ入力を 4 8 0 クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド 2 0 (第 1 6 図) と同様である。このようにすることにより、1 2 0 0 D P I 対応の駆動用 I C 1 を 3 0 0 D P I の発光素子 2 2 の駆動に利用することができる。また、駆動用 I C と発光素子を 1 : 4 の関係を保った 1 つの単位 (ブロック) としてこれを基板 2 1 の長手方向に配列することができるので、駆動用 I C

数の削減を図ることができる。

< 第 4 の実施形態 >

次に、本発明の第 4 の実施形態について説明する。第 26 図は、第 4 の実施形態の駆動用 IC1 について、複数ある出力端子 DO1 ~ DO96 の 1 つの出力端子 DO1 に関係する部分を中心に抽出した要部回路ブロック図である。本実施形態では、シフトレジスタ 58 に記憶するデータ数よりも少数のデータを記憶するラッチ回路 11C を用いる。以下、本実施形態について、第 26 図及び第 27 図を参照して説明する。

本実施形態において、第 3 の実施形態と大きく相違する点は、シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを n 個単位に駆動回路 12 に供給するための選択回路として、出力端子 DO1 ~ DO96 の数 ($n = 96$) と同数のデータを記憶するラッチ回路 11C と、このラッチ回路 11C に選択的にデータを入力する選択回路 11A を用いた点である。

図 26 に示すように、多入力シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを、論理ゲート回路で構成した選択回路 11A を介してラッチ回路 11C に与えるようにしている。ラッチ回路 11C は、出力端子 DO1 ~ DO96 の数と同数のデータを記憶する n (96) ビット構成のラッチで構成され、LOAD1 信号によって n 個単位にデータを取り込む。選択回路 11A は、分割タイミング信号発生回路 14 の出力する分割タイミング信号 DIV1 ~ DIV4 によって、シフトレジスタ 58 が出力する複数 ($m \times n = 384$) 個のデータから n 個のデータを選択してラッチ回路 11C に与える。シフトレジスタ 58 に記憶されたデータは、このような選択処理が m 回繰り返されることによって順次ラッチ回路 11C に与えられる。ラッチ回路 11C 出力する n 個のデータは、ストロブ信号 (反転 STB) が L レベルの間にドライバ回路 12 に与えられる。

分割タイミング信号発生回路 14 は、第 12 図の構成を採用することもできるが、第 28 図に示すように、1 つの外部タイミング信号 DIVSEL のパルスをカウントして出力するカウンタタイプの回路構成を採用している。すなわち、例えば第 28 図に示すように、2 つのフリップフロップ FF1、FF2 と、複数 (4 つの) 論理ゲート回路 G1 ~ G4 を組み合わせたカウンタとによって構成す

ることができる。

具体的には、JKフリップフロップFF1の入力端子J、KにHレベルである電源電圧VDD1が入力され、クロック入力端子CLに外部信号DIVSELが入力され、リセット入力端子Rにリセット信号RESETが入力される。フリップフロップFF1の出力端子Qより信号QAが出力され、出力端子 \overline{Q} より信号 \overline{Q} Aが出力される。JKフリップフロップFF2の入力端子J、Kに信号QAが入力され、クロック入力端子CLに外部信号DIVSELが入力され、リセット入力端子Rにリセット信号RESETが入力される。フリップフロップFF2の出力端子Qより信号QBが出力され、出力端子 \overline{Q} より信号 \overline{Q} Bが出力される。論理ゲート回路G1は外部信号DIVSELと信号QAと信号 \overline{Q} BのANDをとって分割タイミング信号DIV1を出力する。論理ゲート回路G2は外部信号DIVSELと信号 \overline{Q} Aと信号QBのANDをとって分割タイミング信号DIV2を出力する。論理ゲート回路G3は外部信号DIVSELと信号QAと信号QBのANDをとって分割タイミング信号DIV3を出力する。論理ゲート回路G4は外部信号DIVSELと信号 \overline{Q} Aと信号 \overline{Q} BのANDをとって分割タイミング信号DIV4を出力する。

この実施形態の動作は第27図のタイミングチャートに示している。この図に示すとおり、4つの入力SI1～SI4を介して1.920クロックによって1ライン分のデータを取り込んだ後、その1ライン分のデータの駆動が終了するまでの間は、次のラインのデータを取り込むことができないので、処理速度が遅くなるが、駆動用IC内部の回路素子数を削減してICの小型化、低価格化を図ることができる。よって、この実施形態は、処理速度よりも小型化や低価格化が優先される光プリントヘッドに好適である。

尚、上記各実施形態における発光素子として、PN接合の発光ダイオード以外にもPNPN接合の発光ダイオード（発光サイリスタ）など、他の構造の発光部を配列した発光素子を採用することができる。また、発光部を一行に配列したもの以外にも、千鳥配置したものや、2列以上の複数列配置したものをを用いることができる。

また、第3及び第4の実施形態において、発光素子の片側に駆動用ICを配列

する場合の他に、第 1 の実施形態のように、発光素子の両側に駆動用 IC を配置することもできる。このとき、発光素子として倍の解像度を持つもの、例えば 2400 DPI の解像度の発光素子を採用するのが望ましい。また、駆動用 IC は、例えば個別端子部あるいは共通端子部のいずれか一方をオープン状態とすることにより、あるいはその他の方法により、第 1 駆動部 2 あるいは第 2 駆動部 3 のみを選択的に利用することもできる。

更に、第 1 及び第 2 の実施形態において、第 3 及び第 4 の実施形態のように、複数の入力端子からデータが平行に入力される多入力シフトレジスタを使用しても構わない。

産業上の利用可能性

以上のように、本発明によると、従来のスタティック駆動と同様のデータ処理手順を残しながらも、時分割駆動に対応した駆動を行うことができ、スタティック駆動と互換性を保つことができる。また、時分割駆動に対応するので駆動用 IC 数の低減、ワイヤボンダ数や密度の低減を行うことができる。また、駆動用 IC とそれに接続する発光素子の組み合わせを種々設定することができる。また、入力データの変更によって実質的な時分割数の変更による印字速度の変更も容易である。また、基板に配置した配線パターンの密度（解像度）が低くても高解像度の光プリントヘッドを提供することができる。

また、解像度が異なる複数種類の発光素子に対応可能な駆動用 IC を提供することができる。又、データの入力を高速に行うことができる駆動用 IC 及び光プリントヘッドを提供することができる。更に、光プリントヘッドの小型化や低価格化や印字速度の高速化を図ることができる。

請求の範囲

1. $n \times p$ 個の発光部と、前記発光部の一方の端子と p 個毎に接続された n 個の第 1 電極と、前記発光部の他方の端子と n 個毎に接続された p 個の第 2 電極と、を備えるとともに、前記第 1 及び第 2 電極が選択されることによって前記発光部が選択される発光素子と、

前記発光素子の第 1 電極に接続される n 個の第 1 出力端子と、前記発光素子の第 2 電極に接続される m 個の第 2 出力端子と、を備える駆動用 IC 装置と、を有し、

前記発光素子が、1 つの前記駆動用 IC 装置に対して、 q 個設けられるとともに、この前記発光素子が設けられる個数 q が、前記発光素子の第 2 電極の個数 p と前記駆動用 IC 装置の第 2 出力端子の個数 m によって定められることを特徴とする光プリントヘッド。

2. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の両側に配置されることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

3. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の片側に配置されることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

4. 前記駆動用 IC 装置が、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求の範囲 1 に記載の光プリントヘッド。

5. 1 つの前記駆動用 IC 装置と、該駆動用 IC 装置に接続された q 個の前記発光素子を 1 つの単位とするブロックを基板上に複数配置したことを特徴とする請求の範囲 1 に記載の光プリントヘッド。

6. 前記発光素子において、前記第 1 及び第 2 電極が、前記発光部の両側に配置されることを特徴とする請求の範囲 5 に記載の光プリントヘッド。

7. 前記発光素子において、前記第1及び第2電極が、前記発光部の片側に配置されることを特徴とする請求の範囲5に記載の光プリントヘッド。

8. 前記駆動用IC装置が、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求の範囲5に記載の光プリントヘッド。

9. 前記駆動用IC装置は、印字用データを隣接する駆動用IC装置間で授受するように、印字用データが入出力される1部の端子がカスケード接続されていることを特徴とする請求の範囲5に記載の光プリントヘッド。

10. 基板と、

該基板の長手方向に沿って配列された複数の発光素子と、

前記基板に設けられた前記発光素子の個数よりも少数の駆動用IC装置と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を共通接続する第1配線と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を個別接続する第2配線と、

を備えることを特徴とする光プリントヘッド。

11. 前記駆動用IC装置が、同一構造の駆動用IC装置を複数配置したものであることを特徴とする請求の範囲10に記載の光プリントヘッド。

12. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の端子が前記第2配線と接続された複数の発光部を備え、

前記発光部が n 個単位毎に p 回に分けて時分割駆動されることを特徴とする請求の範囲10に記載の光プリントヘッド。

13. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の

端子が前記第 2 配線と接続された複数の発光部を備え、

前記駆動用 I C 装置が、 q 個の前記発光素子の全ての前記発光部を n 個単位に m 回に分けて時分割駆動することを特徴とする請求の範囲 10 に記載の光プリントヘッド。

14. 前記第 1 及び第 2 配線において、複数の前記発光素子の配列長と同程度の長さを有するそれぞれの配線が、前記発光素子の配列の両側に配置されることを特徴とする請求の範囲 10 に記載の光プリントヘッド。

15. 前記駆動用 I C 装置が、前記発光素子の配列の両側に配置された配線の内、その総幅の狭い方の配線と同じ側に配置されることを特徴とする請求の範囲 14 に記載の光プリントヘッド。

16. 前記第 1 及び第 2 配線において、複数の前記発光素子の配列長と同程度の長さを有するそれぞれの配線が、前記発光素子の配列の片側に配置されることを特徴とする請求の範囲 10 に記載の光プリントヘッド。

17. 一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第 1 出力端子のそれぞれに m 個の発光部の一方の端子が接続されるとともに、前記第 1 出力端子に接続された第 1 駆動部を有する駆動用 I C 装置において、

前記第 1 駆動部が、

r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、

該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、

該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、

を備えることを特徴とする駆動用 I C 装置。

18. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

19. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

20. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 19 に記載の駆動用 IC 装置。

21. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

前記データ選択回路が、前記シフトレジスタに記憶されているデータ信号を n 個単位に選択して取り出すとともに、取り出した n 個のデータ信号を記憶するラッチ回路で構成されることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

22. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 21 に記載の駆動用 IC 装置。

23. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

24. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発

光素子を郡単位で時分割駆動するための駆動用 I C 装置であることを特徴とする請求の範囲 1 7 に記載の駆動用 I C 装置。

2 5 . 一列状に配された複数の発光部を備えた発光素子に駆動電流を供給するために、 n 個の第 1 出力端子のそれぞれに m 個の発光部の一方の端子が接続され、 m 個の第 2 出力端子のそれぞれに n 個の発光部の他方の端子が接続されるとともに、前記第 1 出力端子に接続された第 1 駆動部と、前記第 2 出力端子に接続された第 2 駆動部と、タイミング制御回路と、を有する駆動用 I C 装置において、

前記第 1 駆動部が、

r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、

前記タイミング制御回路からの m 種類の分割タイミング信号に基づいて、該データ信号記憶回路に記憶されているデータ信号を n 個単位に選択して取り出すデータ選択回路と、

該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備え、

前記第 2 駆動部が、前記 m 個の第 2 出力端子を前記 m 種類の分割タイミング信号に基づいて順次切り換える構成とされたことを特徴とする駆動用 I C 装置。

2 6 . 前記入力端子の個数 r と、前記第 2 出力端子の個数 m とが同じ個数に設定されることを特徴とする請求の範囲 2 5 に記載の駆動用 I C 装置。

2 7 . 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 2 5 に記載の駆動用 I C 装置。

2 8 . 前記駆動用 I C 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 I C 装置であることを特徴とする請求の範囲 2 5 に記載の駆動用 I C 装置。

29. 複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用IC装置と、を備えた光プリントヘッドにおいて、

前記発光素子が、 n 個の第1電極のそれぞれに複数個の発光部の一方の端子が接続され、

そして、前記駆動用IC装置が、前記発光素子の第1電極にそれぞれ接続される n 個の第1出力端子と、第1出力端子から前記駆動電流を出力する第1駆動部と、を備えるとともに、

前記第1駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第1出力端子に駆動信号を出力する駆動回路と、を備えることを特徴とする光プリントヘッド。

30. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲29に記載の光プリントヘッド。

31. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲29に記載の光プリントヘッド。

32. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲31に記載の光プリントヘッド。

33. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

前記データ選択回路が、前記シフトレジスタに記憶されているデータ信号を n 個単位に選択して取り出すとともに、取り出した n 個のデータ信号を記憶するラッチ回路で構成されることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

34. 前記駆動用 IC 装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 33 に記載の光プリントヘッド。

35. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

36. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 IC 装置であることを特徴とする請求の範囲 29 に記載の光プリントヘッド。

37. 複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用 IC 装置と、を備えた光プリントヘッドにおいて、

前記発光素子が、 n 個の第 1 電極のそれぞれに m 個の発光部の一方の端子が接続されるとともに、 m 個の第 2 電極のそれぞれには n 個の発光部の他方の端子が接続され、

そして、前記駆動用 IC 装置が、前記発光素子の第 1 電極にそれぞれ接続される n 個の第 1 出力端子と、第 1 出力端子から前記駆動電流を出力する第 1 駆動部と、前記発光素子の第 2 電極にそれぞれ接続される m 個の第 2 出力端子と、第 2 出力端子のうちの 1 つの端子を所定の電位に保つことで該 1 つの端子に接続された発光部をアクティブになす第 2 駆動部と、 m 種類の分割タイミング信号を出力するタイミング制御回路と、を備えるとともに、

前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、前記タイミング制御回路から

の m 種類の分割タイミング信号に基づいて、該データ信号記憶回路に記憶されているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備え、

前記第 2 駆動部が、前記 m 個の第 2 出力端子を前記 m 種類の分割タイミング信号に基づいて順次切り換える構成とされたことを特徴とする光プリントヘッド。

38. 前記入力端子の個数 r と、前記第 2 出力端子の個数 m とが同じ個数に設定されることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

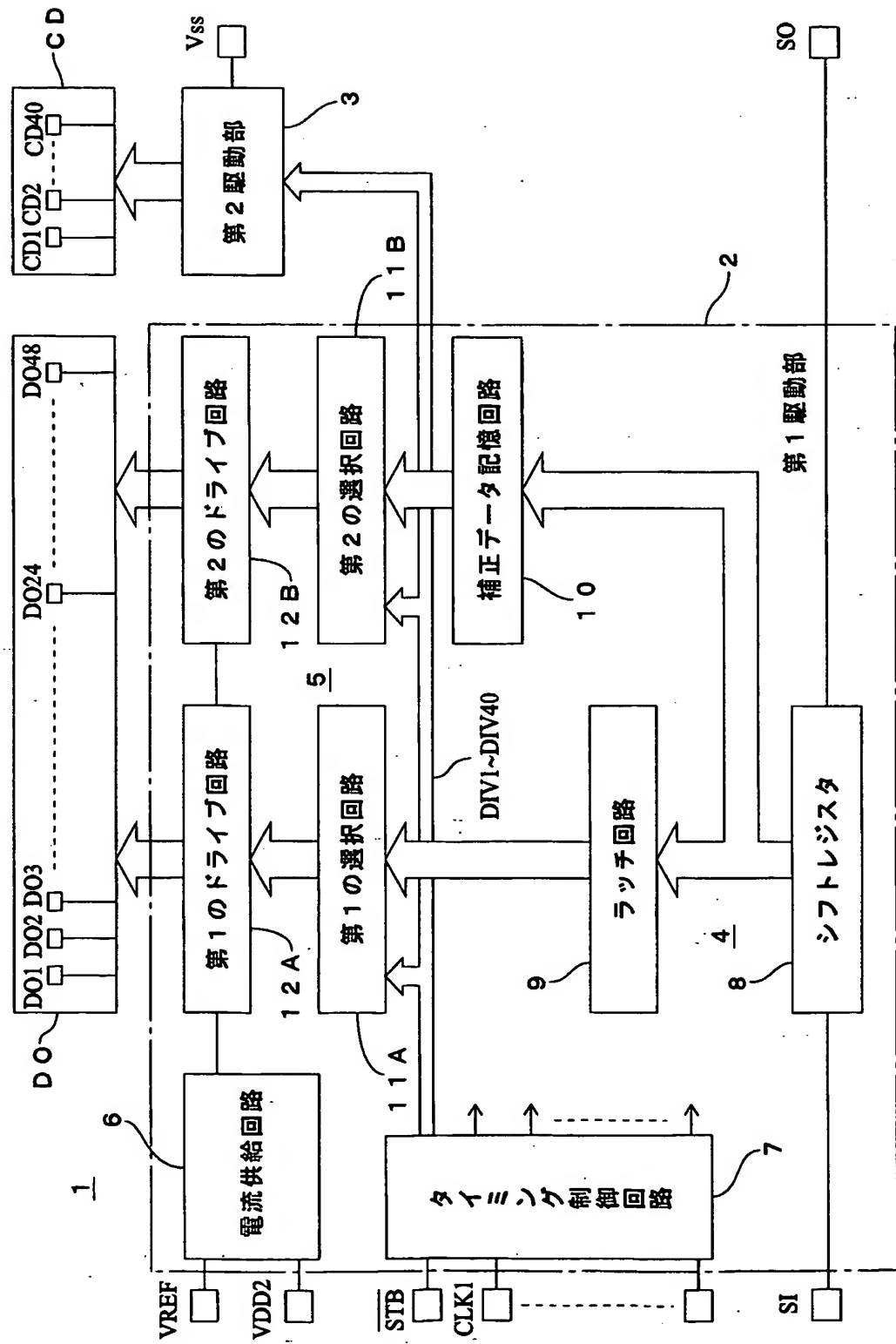
39. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

40. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 IC 装置であることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

THIS PAGE BLANK (USPTO)

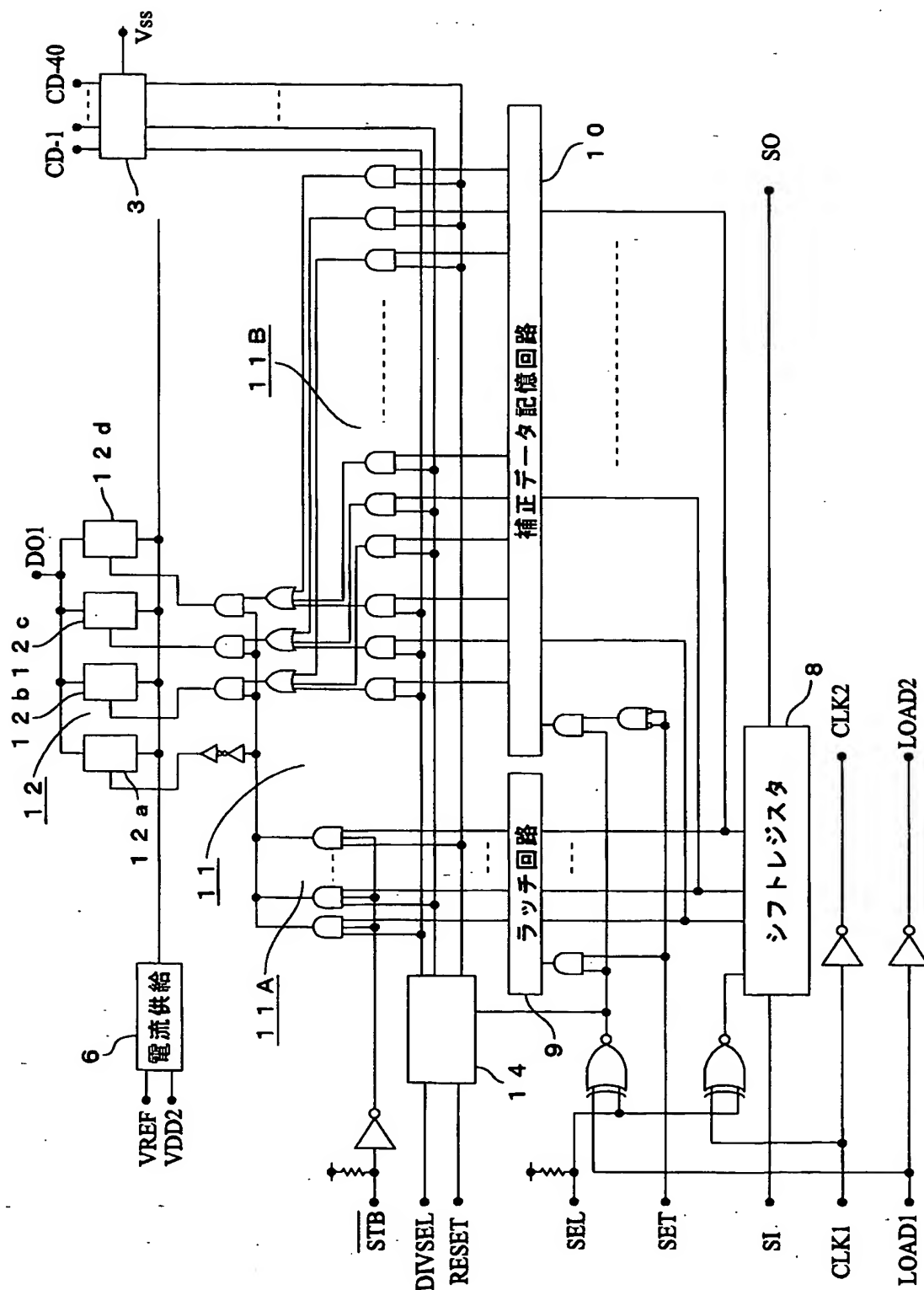
- 1/21 -

第1図



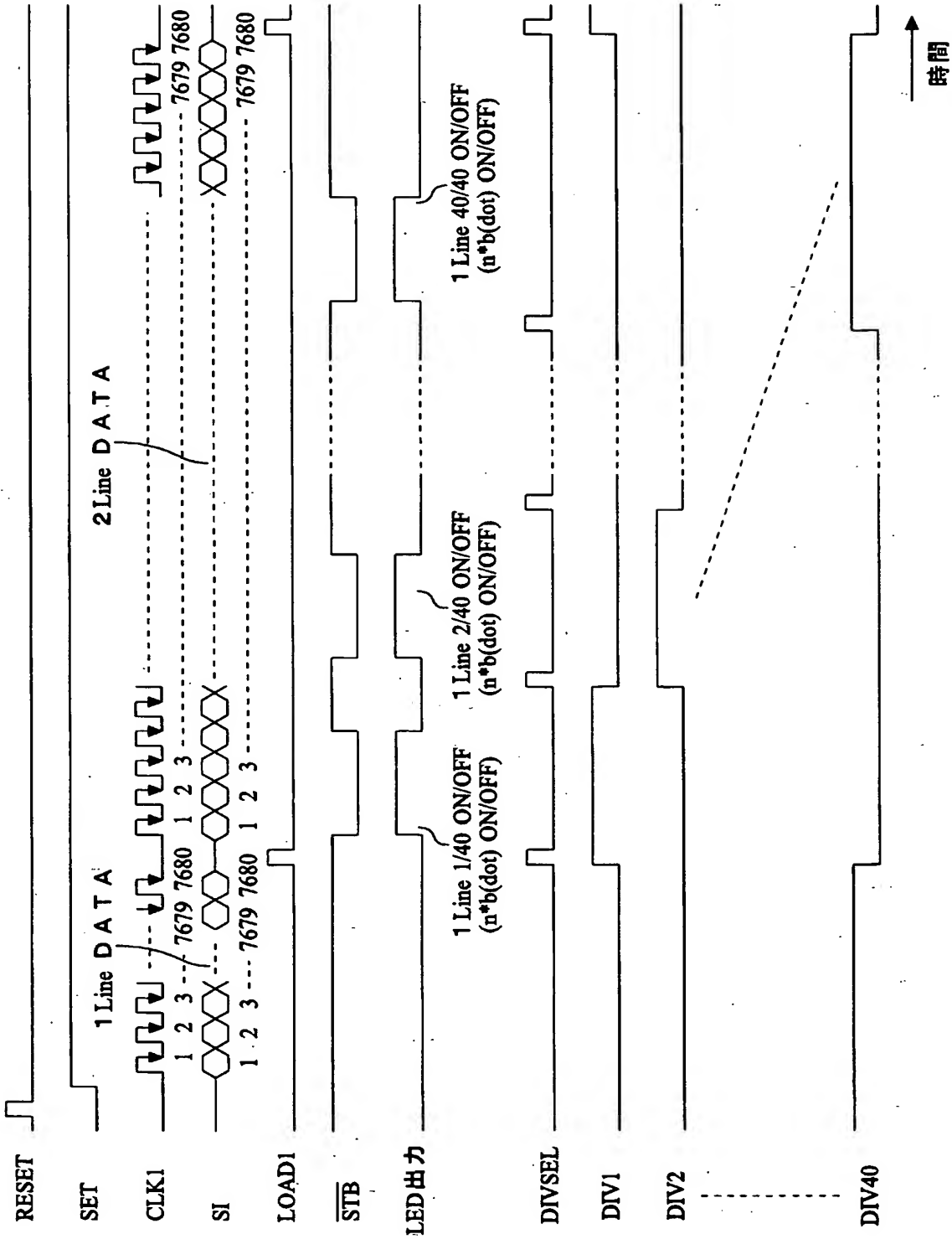
THIS PAGE BLANK (USPTO)

第2図



THIS PAGE BLANK (USPTO)

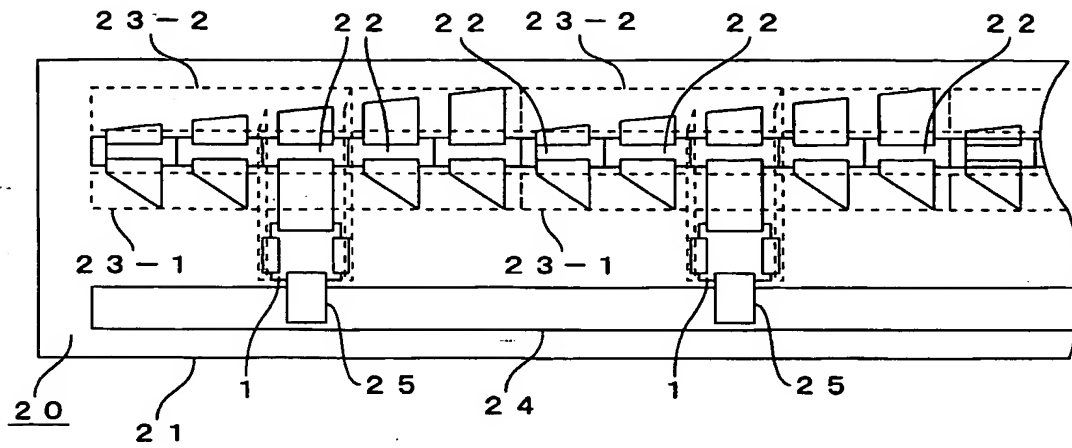
第 3 図



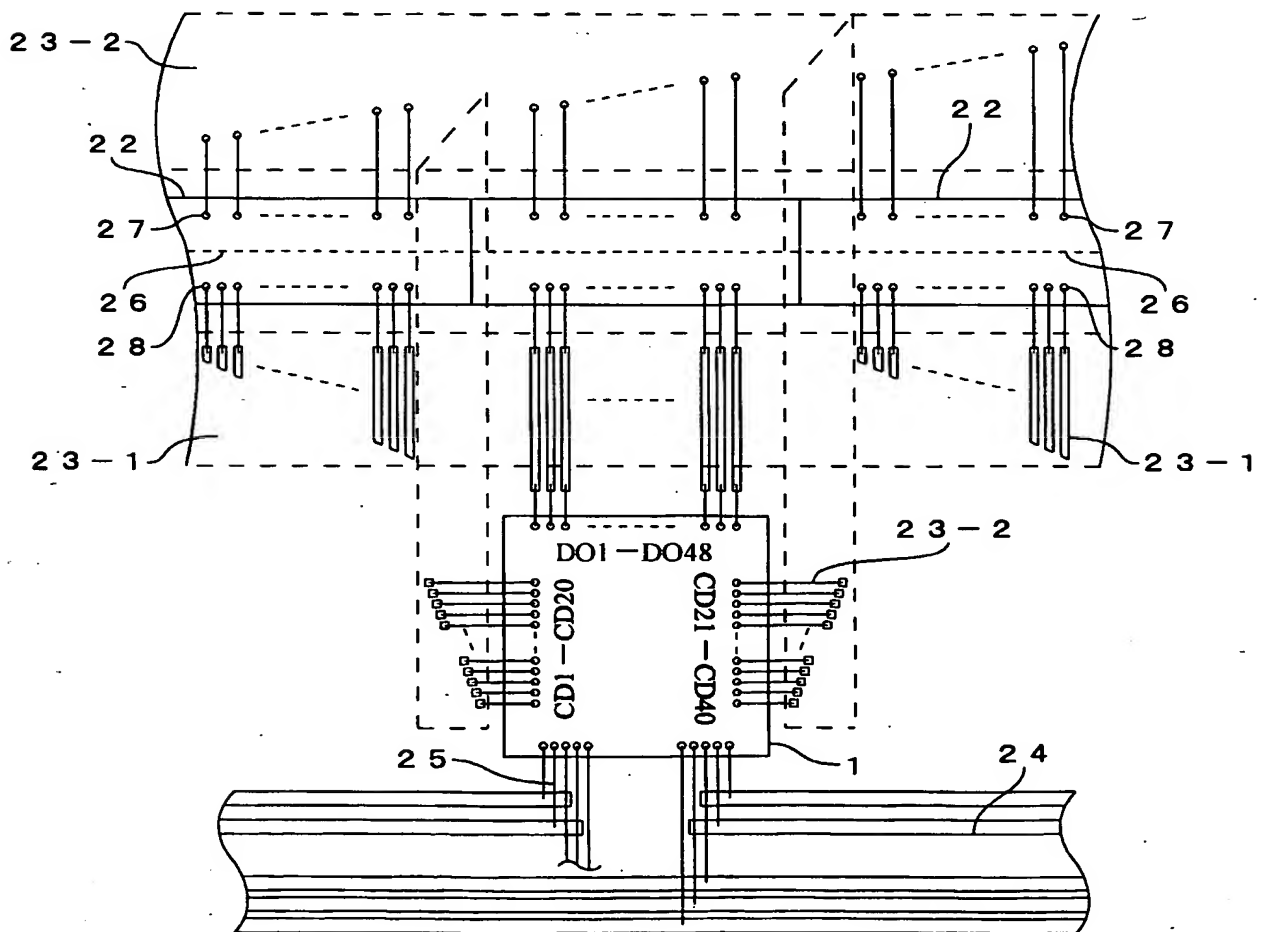
THIS PAGE BLANK (USP10)

- 4/21 -

第 4 図



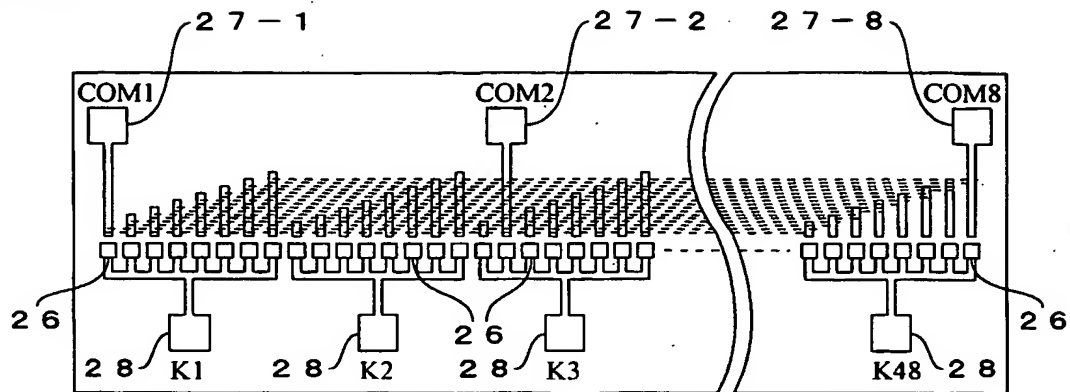
第 5 図



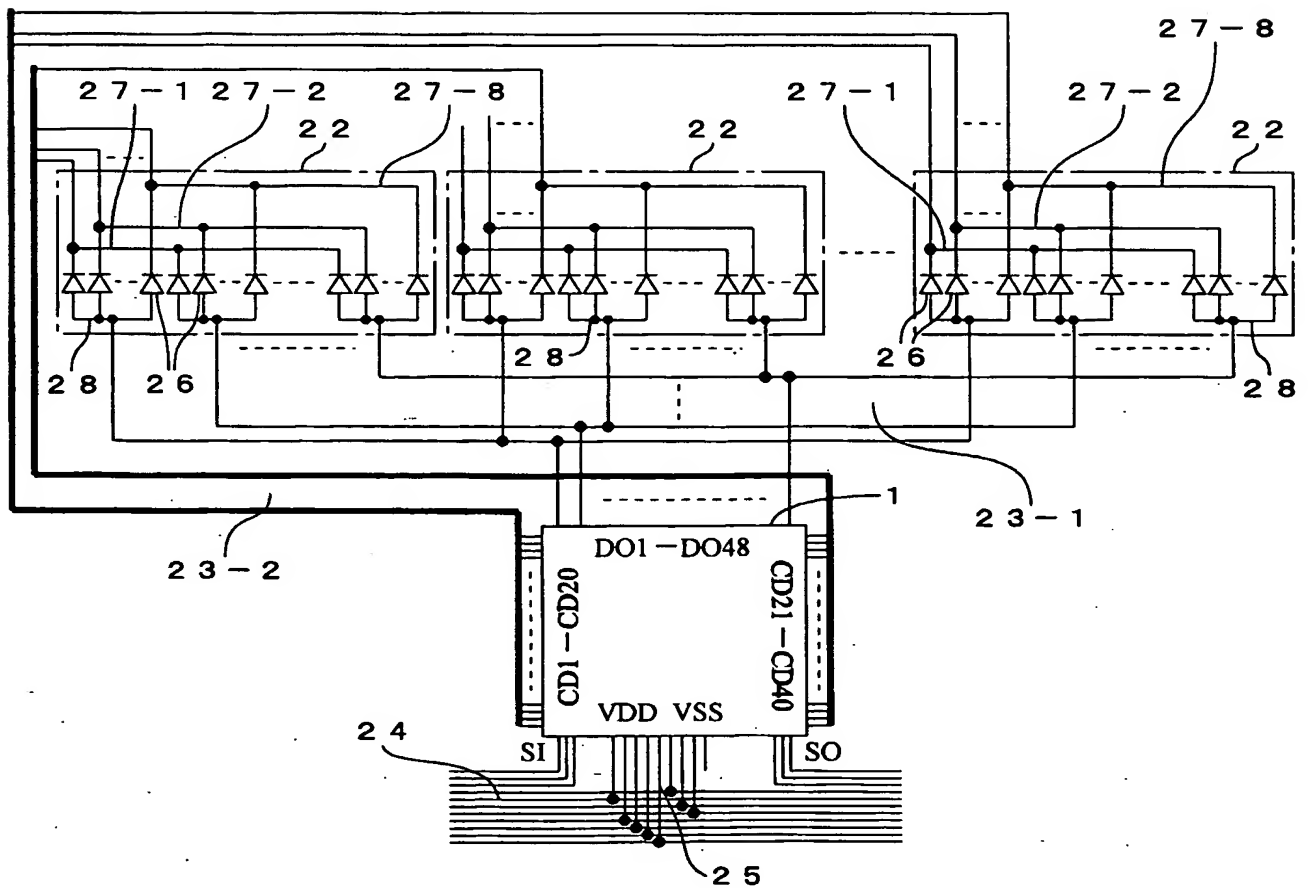
THIS PAGE BLANK (error)

- 5/21 -

第 6 図



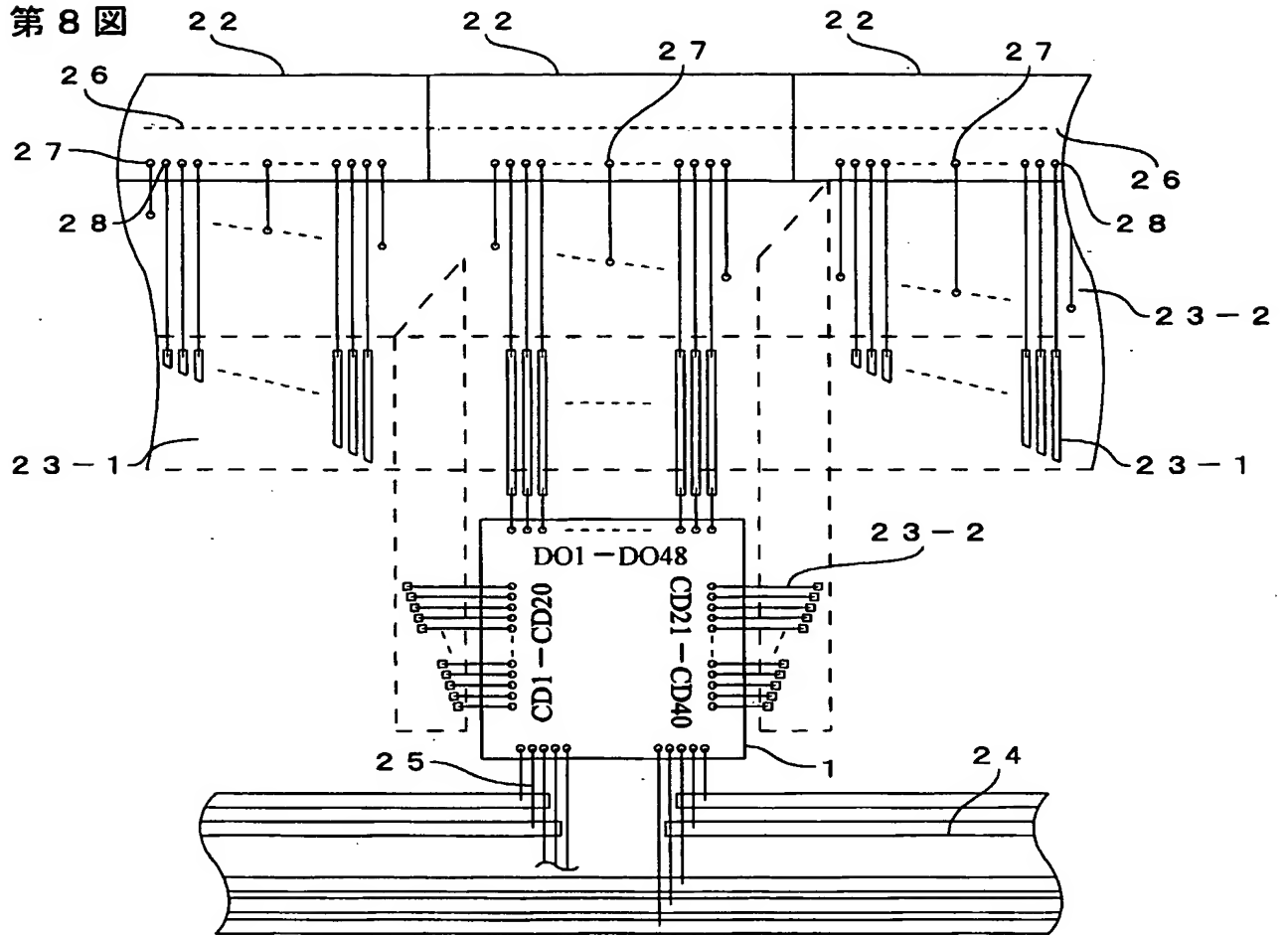
第 7 図



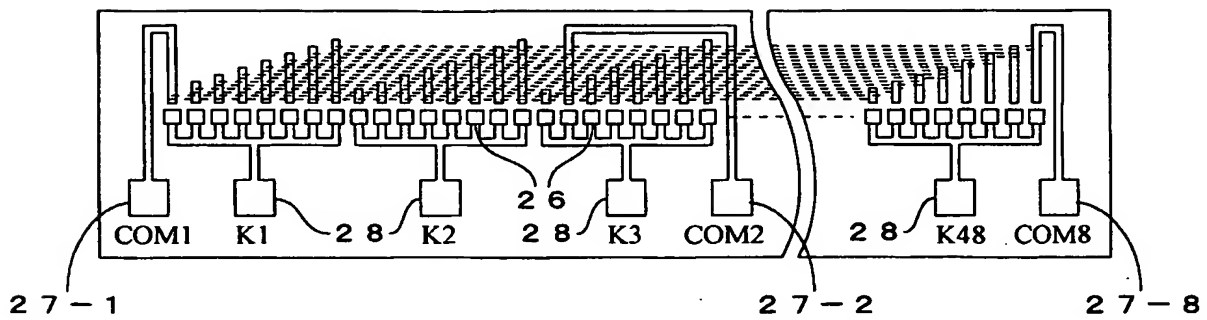
THIS PAGE BLANK (USPTO)

- 6/21 -

第 8 図

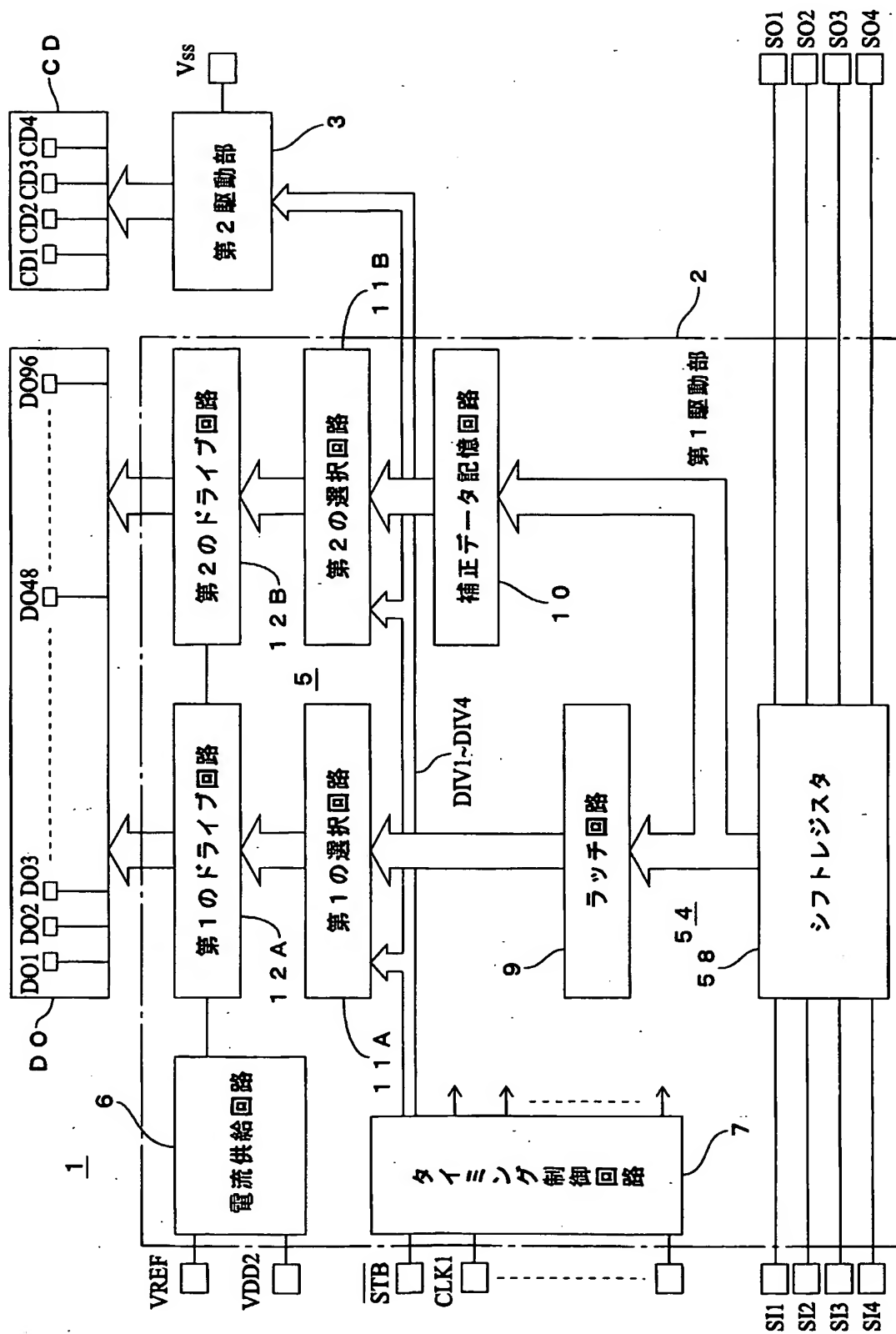


第 9 図



THIS PAGE BLANK (USPTO)

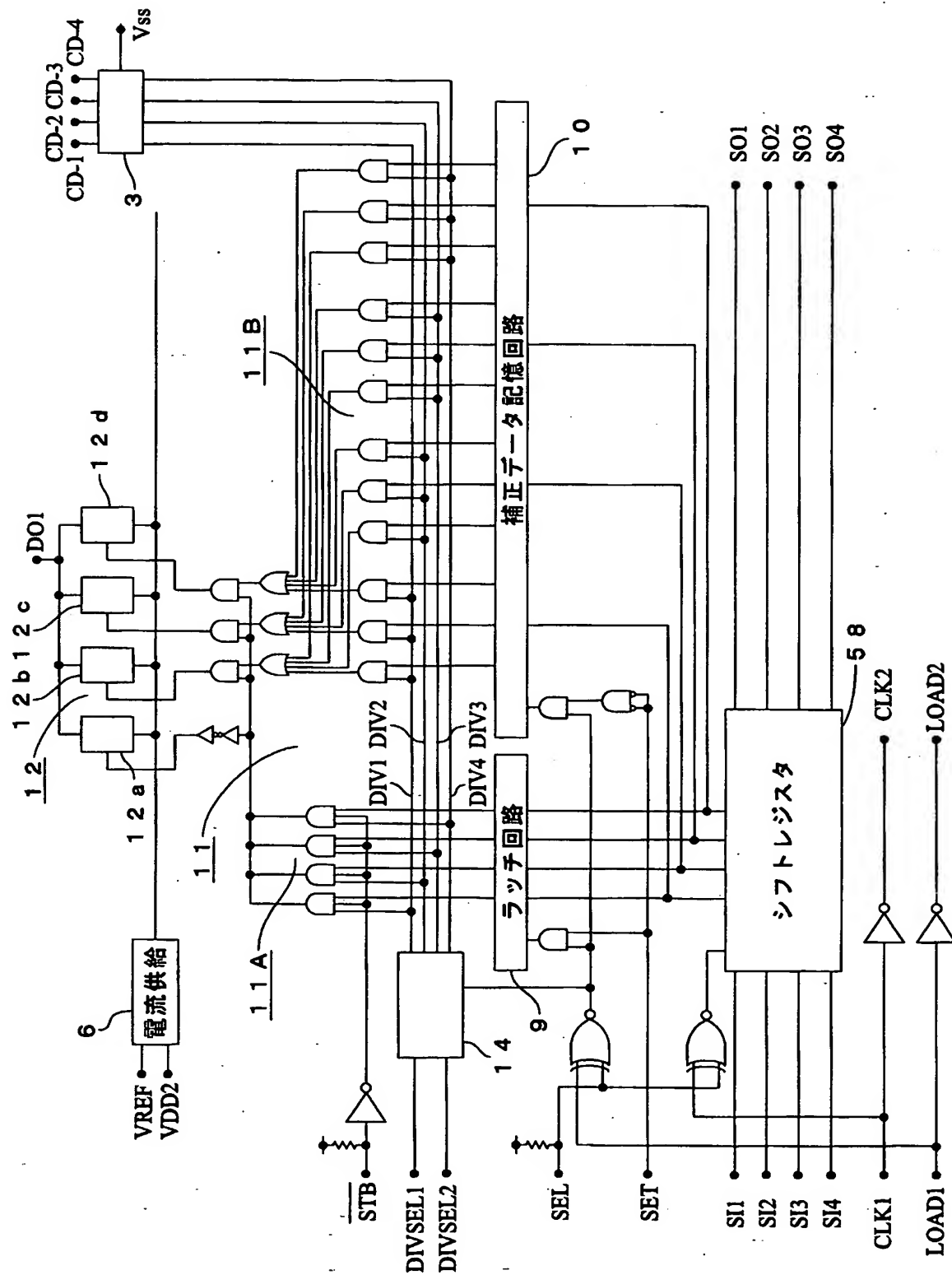
第10図



THIS PAGE BLANK (USPTO)

- 8/21 -

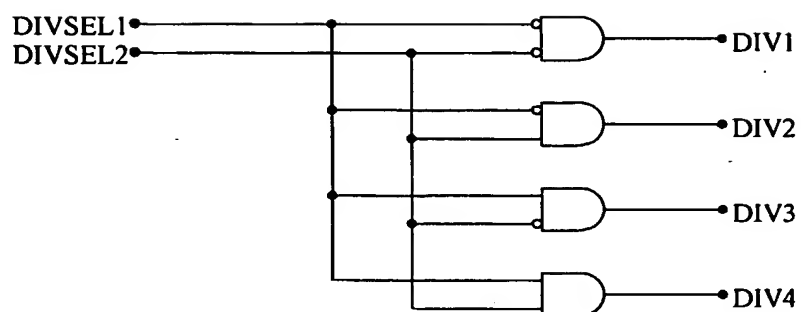
第 11 図



THIS PAGE BLANK (USPTO)

- 9/21 -

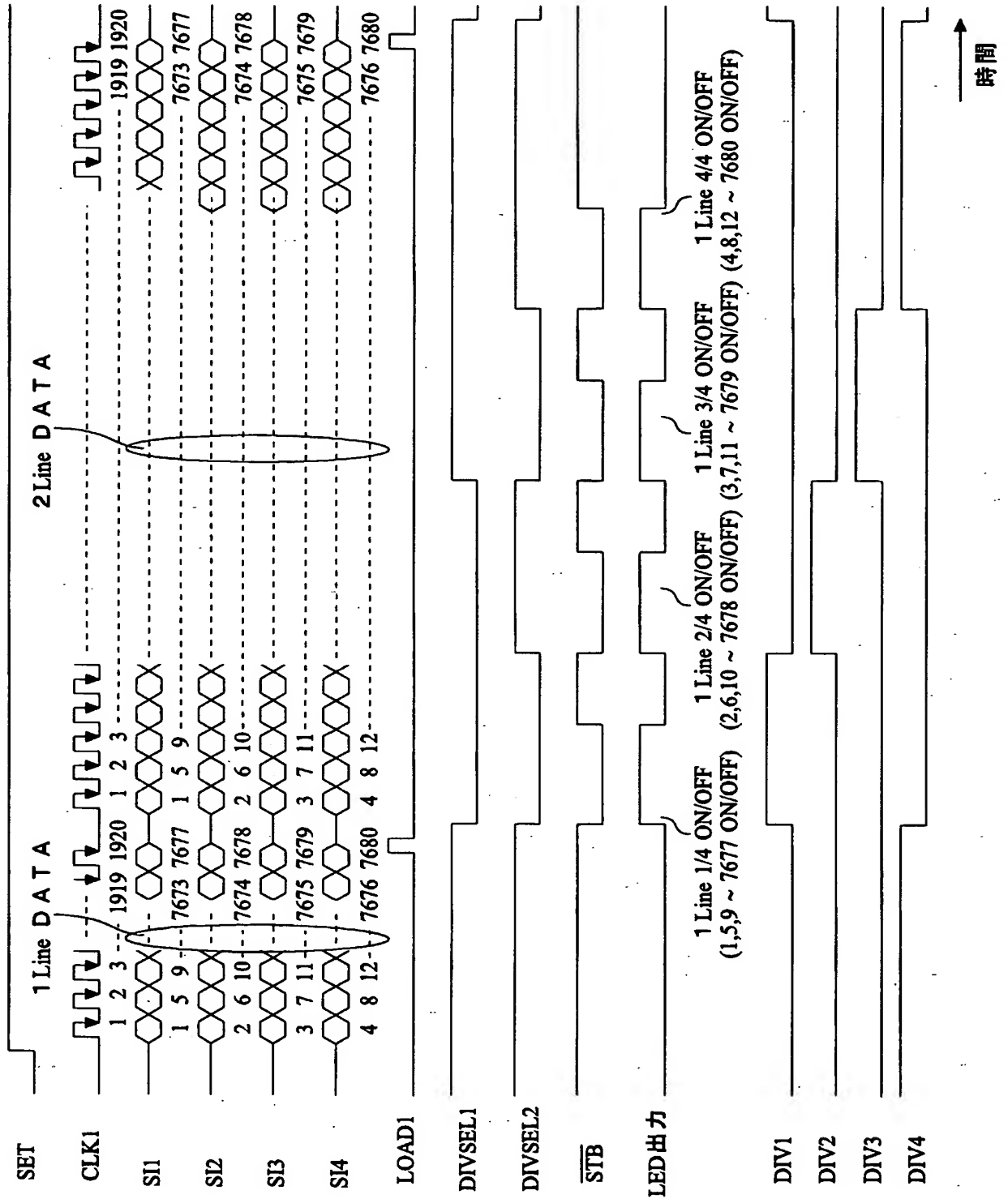
第 1 2 図



THIS PAGE BLANK (USPTO)

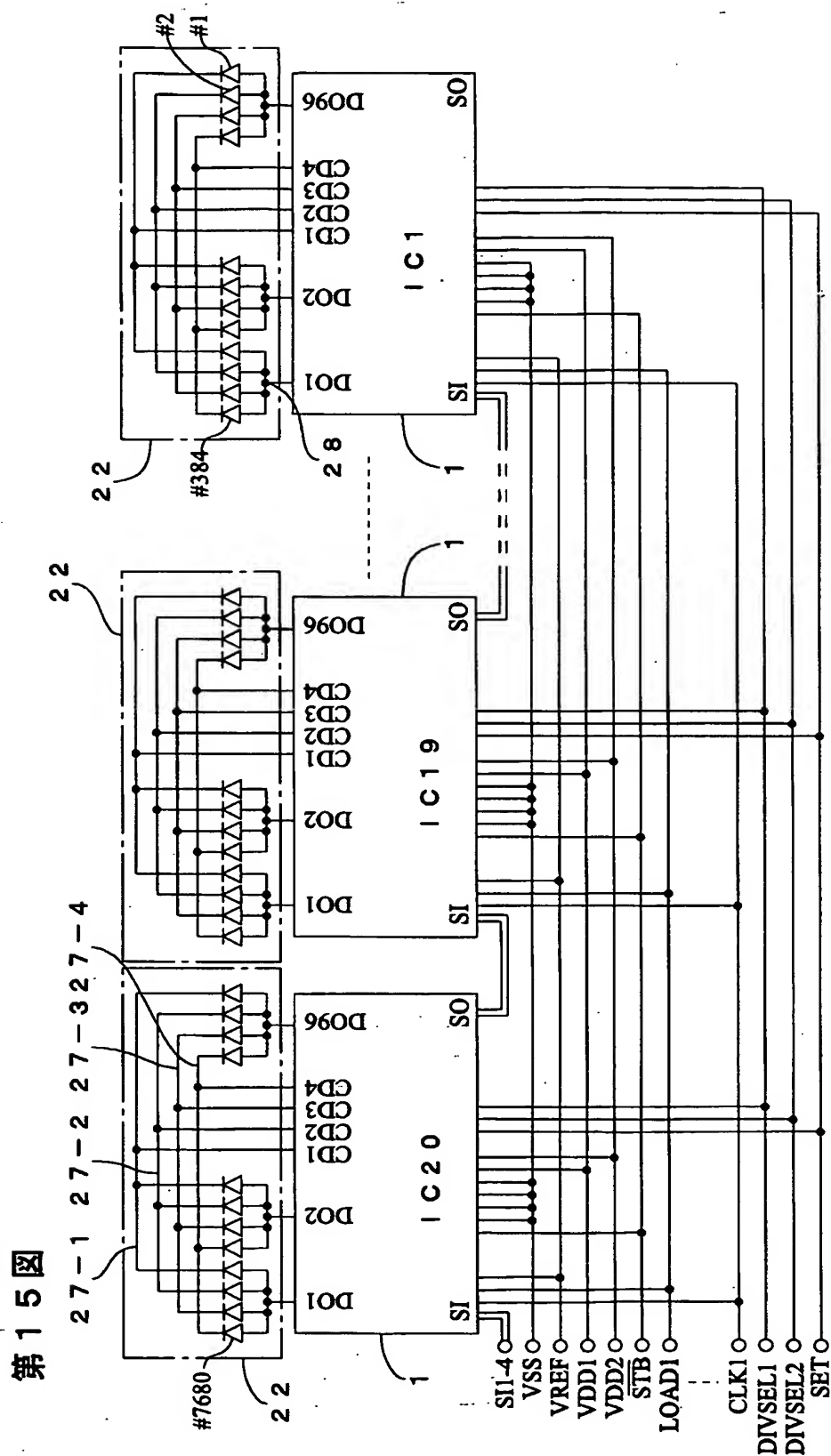
- 10/21 -

第 1 3 図



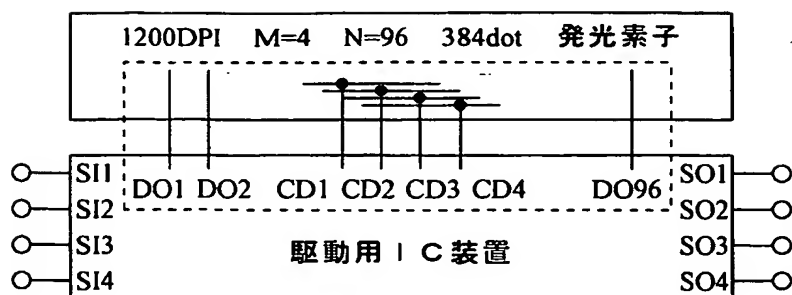
THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (copy)

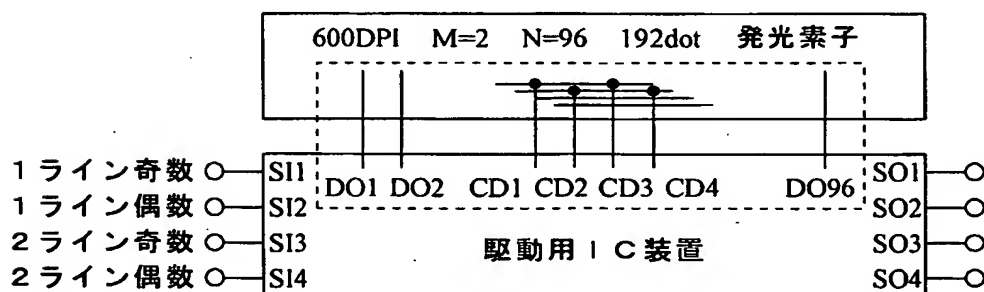


THIS PAGE BLANK (USPTO)

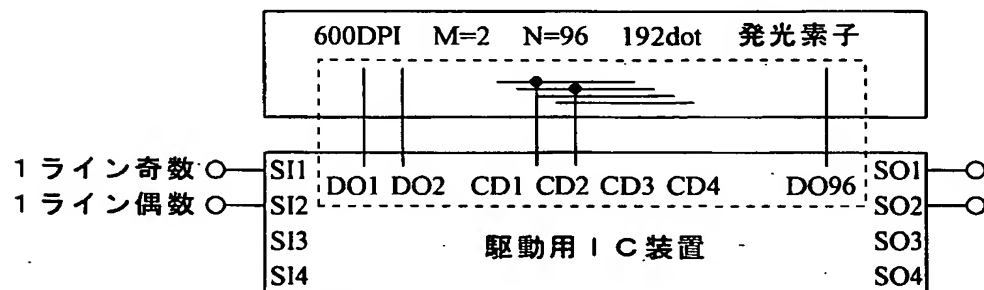
第 16 図



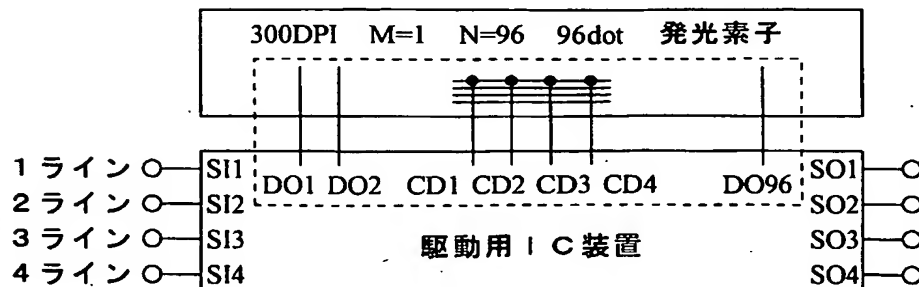
第 17 図



第 18 図



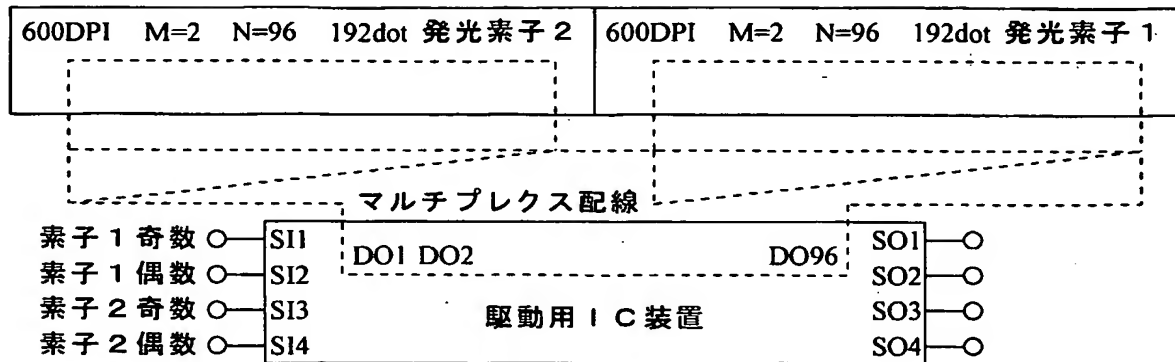
第 19 図



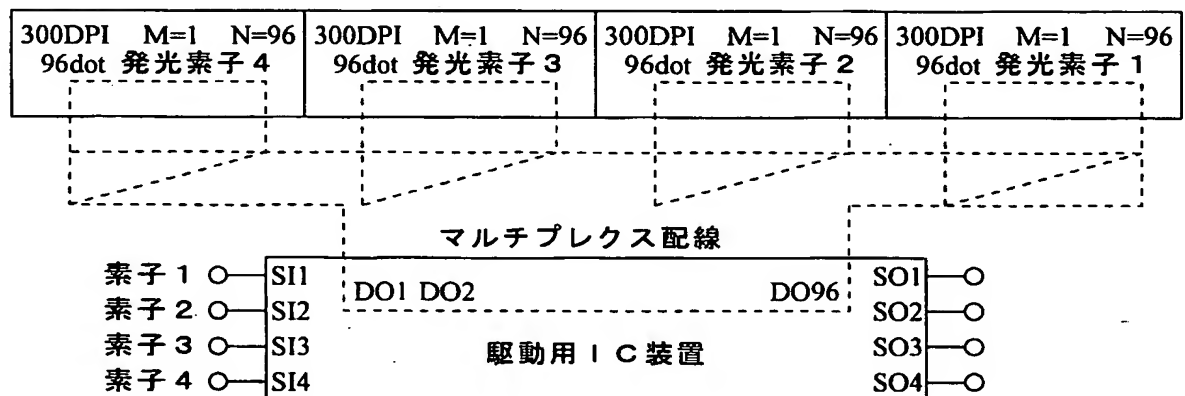
THIS PAGE BLANK (USPTO)

- 14/21 -

第 20 図

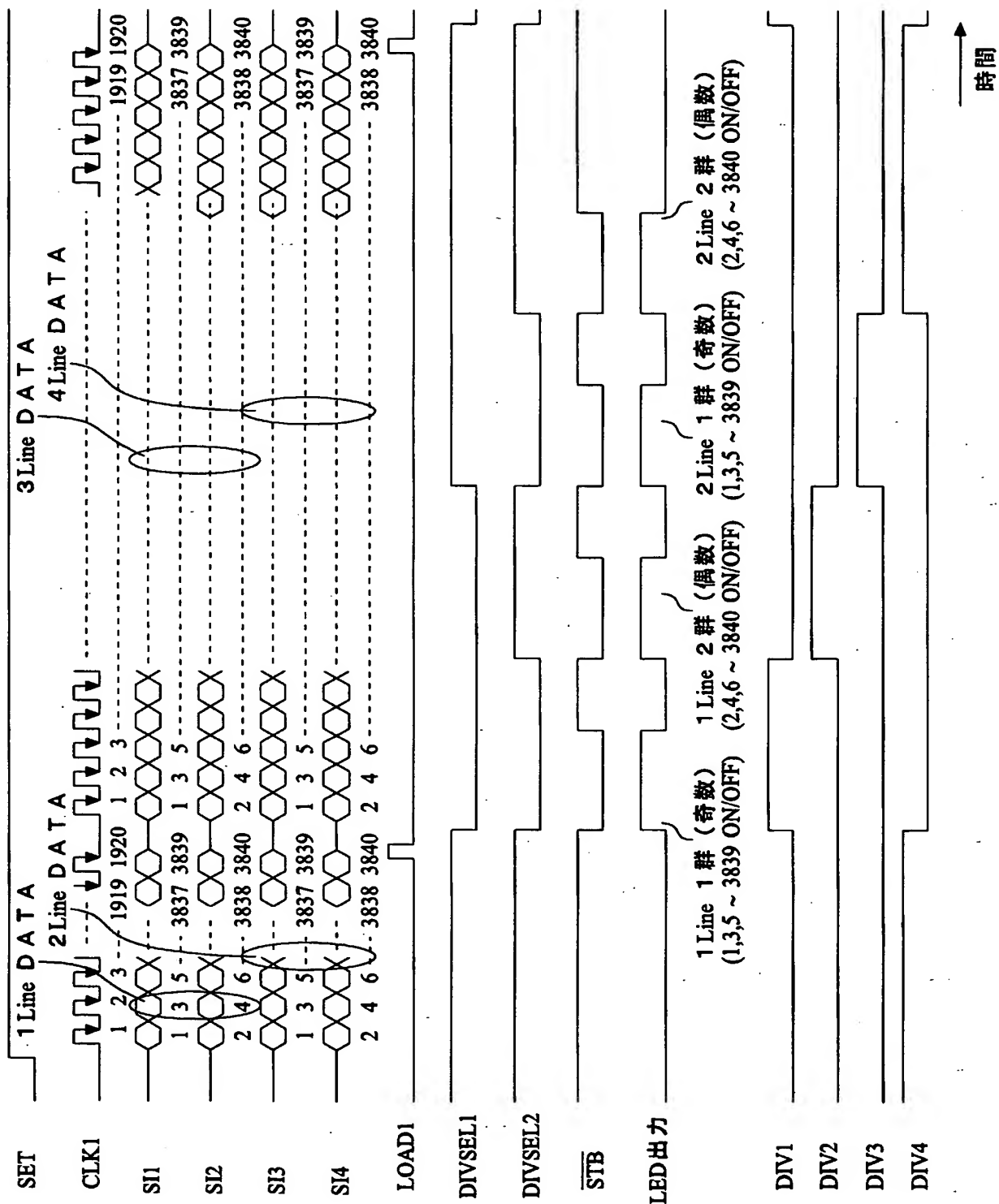


第 21 図



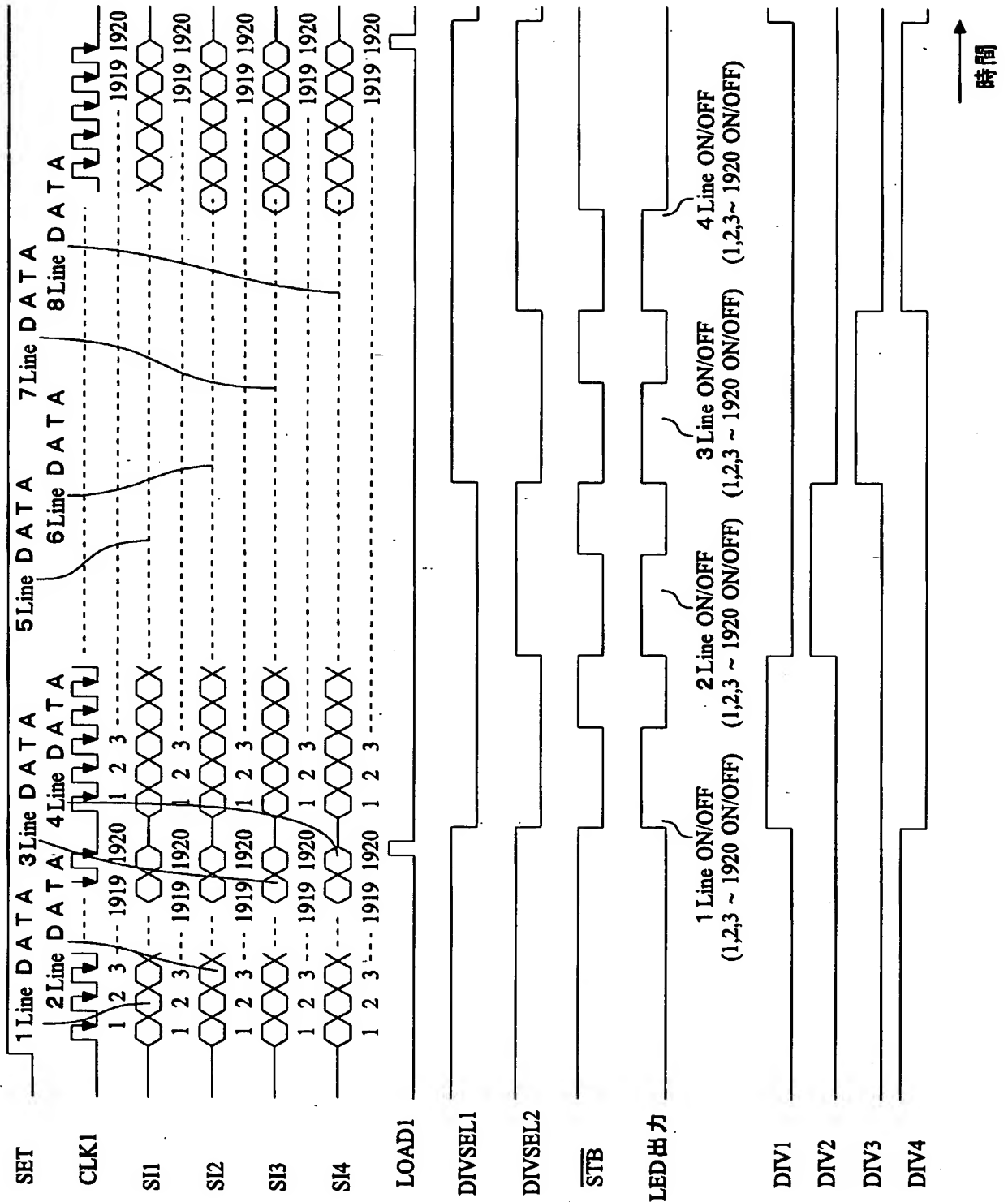
THIS PAGE BLANK (USPTO)

第 2 2 図



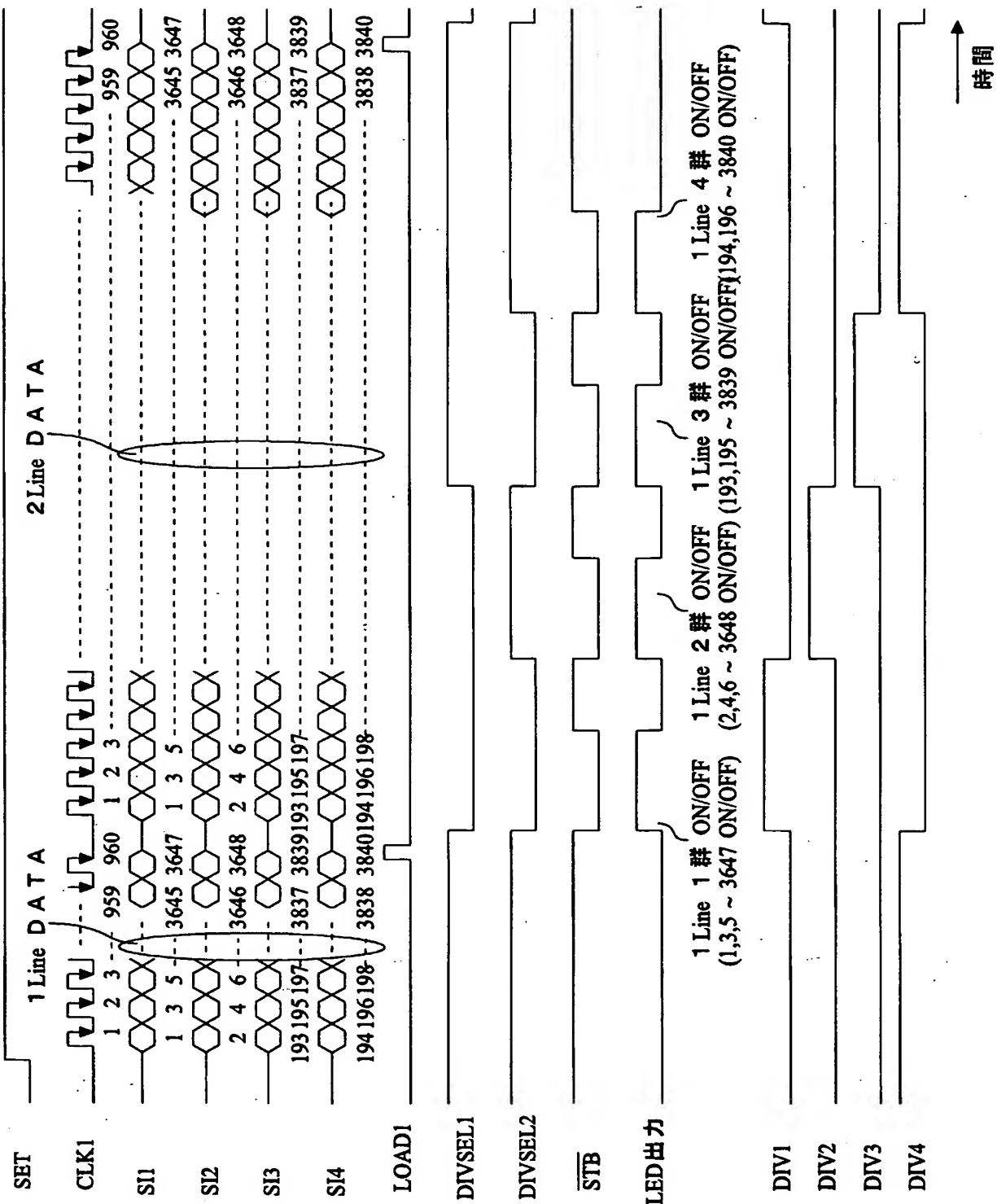
THIS PAGE BLANK (USPTO)

第 2 3 図



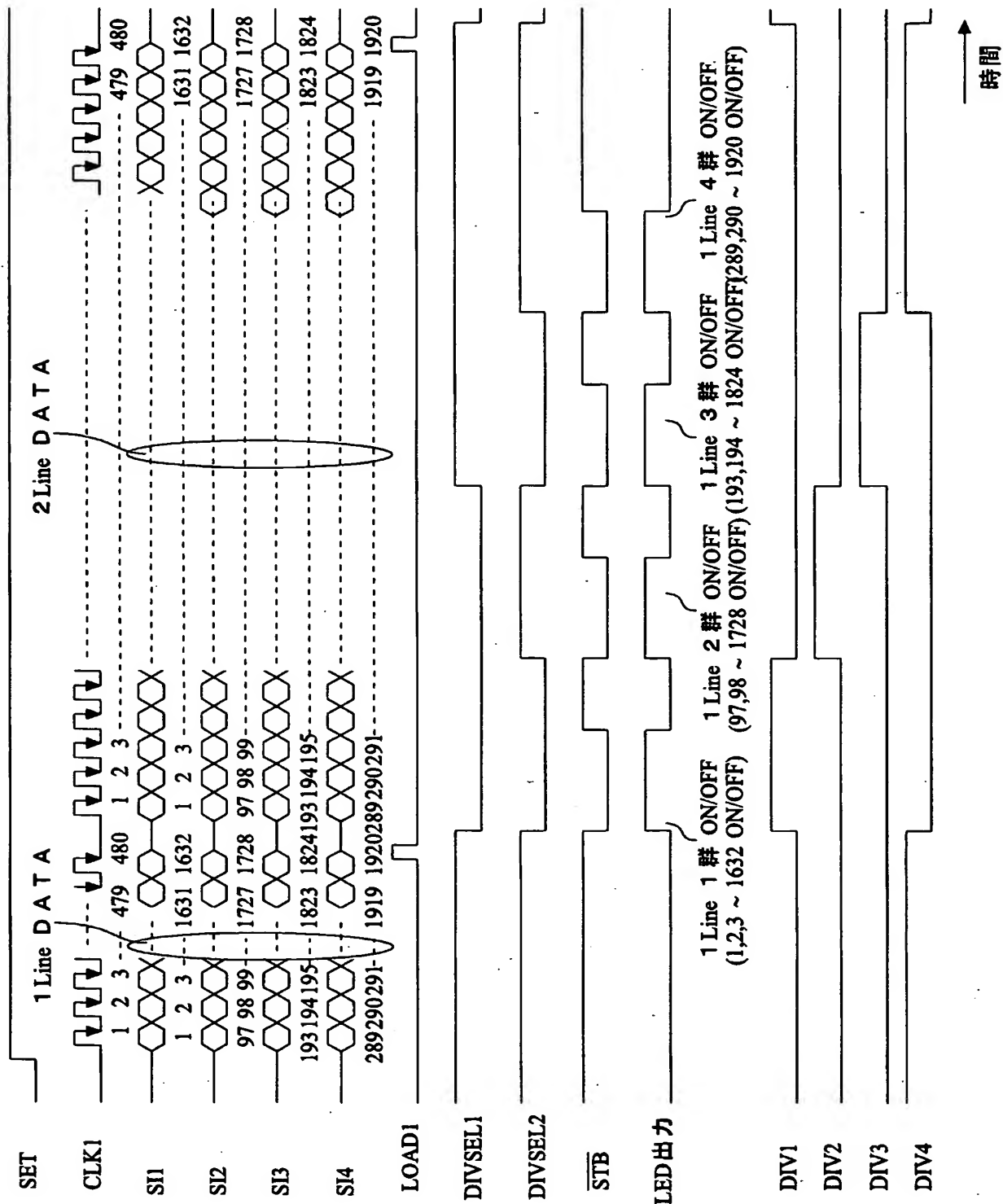
THIS PAGE BLANK (USPTO)

第 2 4 図



THIS PAGE BLANK (USPTO)

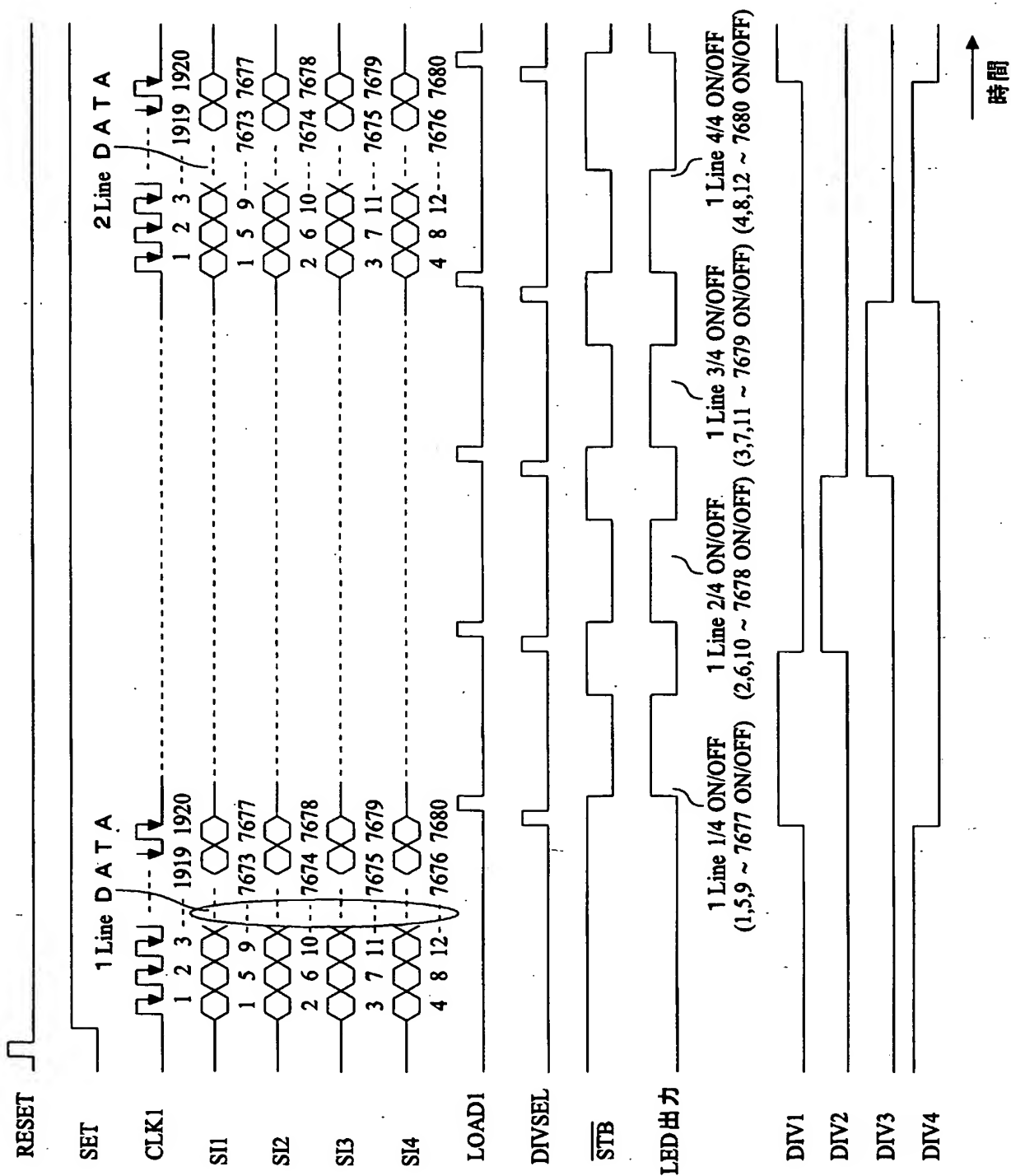
第 2 5 図



THIS PAGE
CONTAINS
A COPY OF
THE
ORIGINAL
DOCUMENT

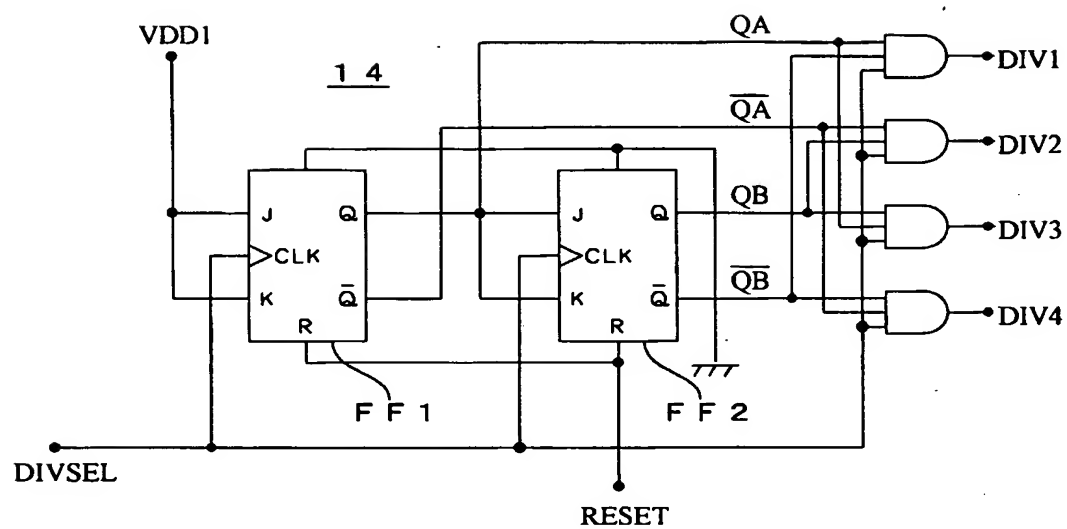
THIS PAGE BLANK (USPTO)

第 2 7 図



THIS PAGE BLANK (USPTO)

第 2 8 図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06333

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ B41J2/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ B41J2/45~2/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1940-1992	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 61-228973, A (Alps Electric Co., Ltd.), 13 October, 1986 (13.10.86), Full text; all drawings (Family: none)	1-40
A	JP, 6-91933, A (Tokyo Electric Co., Ltd.), 05 April, 1994 (05.04.94), Full text; all drawings (Family: none)	1-40

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 December, 2000 (12.12.00)

Date of mailing of the international search report
26 December, 2000 (26.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int cl⁷ B41J2/45

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int cl⁷ B41J2/45~2/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1992年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 61-228973, A (アルプス電気株式会社) 13. 10月. 1986 (13. 10. 86), 全文、全図 (ファミリーなし)	1-40
A	JP, 6-91933, A (東京電気株式会社) 5. 4. 1994 (05. 04. 94), 全文、全図, (ファミリーなし)	1-40

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12. 12. 00

国際調査報告の発送日

26.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑井 順一

電話番号 03-3581-1101 内線 3261

THIS PAGE BLANK (USPTO)